

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-268791

(43)Date of publication of application : 15.10.1993

(51)Int.Cl. H02P 6/02

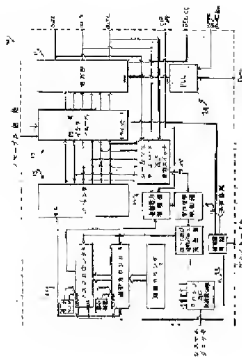
(21)Application number : 04-272008 (71)Applicant : SGS THOMSON
MICROELECTRON INC

(22)Date of filing : 09.10.1992 (72)Inventor : CAMERON SCOTT W
ROHRBAUGH MARK E
CAROBOLANTE
FRANCESCO

(30)Priority

Priority number : 91 Priority date : 09.10.199 Priority country : US
773725 1

(54) METHOD AND UNIT FOR RESYNCHRONIZING ROTOR OF DC
POLYPHASE MOTOR



(57)Abstract:

PURPOSE: To provide a method and a unit for resynchronizing the drive signal for a motor driver with the rotor of a DC polyphase motor.

CONSTITUTION: A motor driver 10 having a circuit for resynchronizing the rotor of a DC polyphase motor comprising a rotor and a Y-connected stator coil includes a circuit for determining the actual instantaneous position of the rotor, and a circuit for determining a desired rotor position before executing a desired commutation sequence. The motor driver 10 also includes a circuit for disabling the drive signal of a drive coil in response to an output enable signal, an overtemperature indication signal or a specified resynchronization signal, e.g. an arbitrary signal indicative of the abnormal operating conditions of a motor or a driver circuit, and starting a routine for resynchronizing the rotor position with a desired commutation sequence before applying a drive signal again to the coil.

LEGAL STATUS

[Date of request for examination] 08.10.1999

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3304139

[Date of registration] 10.05.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a polyphase DC motor actuation circuit with two or more drive coils and movable Rota The circuit which determines the actual momentary location of said Rota is prepared, and the circuit which determines the desired Rota location before performing a desired commutation sequence is prepared. The circuit which performs the commutation sequence of said request when detecting that said Rota actually has the circuit which determines the actual momentary location of said Rota in the Rota location of the request is prepared. Answer a predetermined resynchronization signal, forbid the driving signal to said drive coil, and the commutation sequence of said request is received in the location of said Rota. The polyphase DC motor actuation circuit characterized by preparing the circuit which impresses a driving signal again to said coil after it makes the

resynchronization routine to synchronize initialize and the location of Rota of said motor synchronizes with the commutation sequence of said request.

[Claim 2] The polyphase DC motor actuation circuit where the circuit which determines the actual momentary location of Rota of said motor is characterized by having the circuit which determines when back EMF received by the circuit which receives back EMF of at least one coil before the commutation sequence of said request, and the circuit which receives said back EMF crosses zero from a predetermined direction in claim 1.

[Claim 3] The polyphase DC motor actuation circuit characterized by preparing the mask circuit in which the circuit which determines when back EMF received by the circuit which receives said back EMF between predetermined time amount further in claim 2 after said back EMF crosses zero crosses zero is forbidden.

[Claim 4] In claim 3 said mask circuit The rise counter, first, and second down counter, The source of a clock pulse connected that clock actuation of said rise counter and the down counter should be carried out, A means to forbid the clock pulse to said second down counter until said first down counter reaches a predetermined count, A means for actuation of to be attained when said zero crossover detector detects a zero crossover, and to load the count from said rise counter into said first and the second down counter, and to reset said rise counter subsequently, The polyphase DC motor actuation circuit characterized by ****(ing), and for said first counter determining a commutation delay period, and said second counter determining a mask period.

[Claim 5] The polyphase DC-motor actuation circuit characterized by preparing the circuit advanced to the Rota location of request another before advancing the circuit which determines the Rota location of said request before answering further that said first down counter reaches said predetermined count in claim 4 and performing a desired commutation sequence and performing the commutation sequence of another request.

[Claim 6] The polyphase DC motor actuation circuit characterized by establishing a means to answer said resynchronization signal, to be in the condition which

can be operated further in claim 5, and to load the minimum mask count in said second down counter instead of said period count, and to load a minimal delay count in said first down counter.

[Claim 7] The polyphase DC motor actuation circuit characterized by said minimum mask count generating the mask time amount between about 500 nanoseconds and about 10 microseconds in claim 6.

[Claim 8] The polyphase DC motor actuation circuit characterized by said predetermined resynchronization signal being an output enable signal in claim 1.

[Claim 9] The polyphase DC motor actuation circuit characterized by said predetermined resynchronization signal being a signal showing superfluous temperature in claim 1.

[Claim 10] In the circuit of the three phase DC brush loess which has two or more drive coils and movable Rota, and a sensor loess motor of operation The sequencer circuit which generates the commutation signal sequence for making said drive coil energize is prepared. The selection circuitry which determines which [of said two or more drive circuits] is energized to each commutation signal sequence is prepared. The back EMF amplifier is formed and the circuit which connects said back EMF amplifier to said drive coil when said selection circuitry opts for the thing for which said drive coil should be energized by the current commutation signal sequence, and which do not come out is prepared. The circuit which detects the time of the output of said back EMF amplifier crossing [which is determined by said current commutation signal sequence] zero from an electrical potential difference is prepared. The circuit which a resynchronization signal is answered [circuit], and the driving signal to said drive coil is forbidden [circuit], and synchronizes the location of said movable Rota to said commutation signal sequence is prepared. The circuit of operation characterized by preparing the circuit which energizes said drive coil according to said commutation signal sequence after the location of said Rota synchronizes.

[Claim 11] The circuit which said resynchronization signal is answered [circuit], and the driving signal to said drive coil is forbidden [circuit] in claim 10, and

synchronizes the location of said movable Rota to said commutation signal sequence. It has the clock connected in order to have carried out clock actuation of the data in the shift register possessing a first stage and a second stage, and said shift register. When said shift register which has an output from said first stage and a second stage has said synchronizing signal in the first condition, the usual motor actuation is enabled. Said shift register connects in order to answer the change of state by said synchronizing signal, generate the output from said first stage, and remove the driving signal from said coil, and to generate the output from said second stage and to make a resynchronization sequence start. Said shift register answers further that said synchronizing signal returns to said first condition. The circuit of operation characterized by connecting in order to generate the signal from said second stage during the first clock cycle period, and complete said resynchronization sequence signal, and to generate the signal from said first stage during a subsequent clock cycle period and to recover the driving signal to said coil.

[Claim 12] The circuit characterized by said resynchronization signal being an output enable signal in claim 11.

[Claim 13] The circuit of operation characterized by said resynchronization signal being a signal showing superfluous temperature in claim 11.

[Claim 14] The circuit of operation characterized by preparing the mask circuit which forbids the circuit which determines when back EMF further received in claim 11 by the circuit which receives said back EMF between the back predetermined time of the commutation of said coil crosses zero.

[Claim 15] In claim 14 said mask circuit The rise counter, first, and second down counter, The source of a clock pulse connected that clock actuation of said rise counter and the down counter should be carried out, A means to forbid the clock pulse to said second down counter until said first down counter reaches a predetermined count, A means to be in the condition which can be operated, to load the count from said rise counter in said first and the second down counter, and to reset said rise counter subsequently when said zero crossover detector

detects a zero crossover, It is the circuit of operation which it is ****(ing), said first counter determines the delay period in front of coil commutation after a zero crossover is detected, and is characterized by said second counter determining the mask period for carrying out the mask of the commutation noise.

[Claim 16] The circuit of operation characterized by preparing the circuit which advances the circuit which determines the Rota location of said request before answering further that said first down counter reaches said predetermined count in claim 15 and performing a desired commutation sequence.

[Claim 17] The circuit of operation characterized by establishing a means to answer said resynchronization signal, to be in the condition which can be operated further in claim 16, and to load the minimum mask count in said second down counter instead of said period count, and to load a minimal delay count in said first down counter.

[Claim 18] The circuit of operation characterized by said minimum mask count generating the mask time amount between about 500 nanoseconds and about 10 microseconds in claim 17.

[Claim 19] In the approach of a polyphase DC motor of operation of having two or more drive coils and movable Rota Determine the actual momentary location of said Rota, and before performing a desired commutation sequence, the desired Rota location is determined. When detecting that said Rota actually has the circuit which determines the actual momentary location of said Rota in the Rota location of said request, the commutation sequence of said request is performed. Answer a desired resynchronization signal and the driving signal to said drive coil is forbidden. A resynchronization routine is made to start in order to synchronize the location of said Rota to the commutation sequence of said request. The approach characterized by having each above-mentioned step which impresses a driving signal again to said coil after the location of Rota of said motor synchronizes with the commutation sequence of said request [claim 20] The approach that the step which determines the actual momentary location of Rota of said motor is characterized by determining when back EMF received by the

circuit which prepares the circuit which receives back EMF of at least one coil before the commutation sequence of said request, and receives said back EMF crosses zero from a predetermined direction in claim 19.

[Claim 21] The approach characterized by forming the mask between the predetermined time amount after coil commutation in order to forbid the step which determines further when said back EMF crosses zero next in claim 20.

[Claim 22] The approach characterized by establishing the mask time delay of small time amount more remarkable than the mask time amount needed for motor actuation when said resynchronization signal is answered and a driving signal is further impressed to said coil in claim 20.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About the amelioration in the circuit and approach of driving a polyphase motor, further, about the amelioration in the circuit which drives a polyphase DC motor in a detail, this invention was not further chosen [and] as the detail, i.e., it relates to the approach and the equipment to which

Rota which a polyphase DC motor rotates is made to carry out resynchronization of the commutation (rectification) sequencer of Motor Driver using the null voltage crossover information on the rotor coil in floating.

[0002]

[Description of the Prior Art] Although this invention relates to a profile and a polyphase DC motor, it is a hard disk drive and CD. The specific example of application exists in relation to the three phase DC motor which includes a motor BURASHIRESU used to data medium which is found out in the example of application of the computer relation which includes a ROM drive, a floppy disk, etc., and which rotates, and sensor loess (with no sensor) type. the example of computer application -- setting -- since those dependability is high, and the DC motor of sensor loess is lightweight at the brush loess of a three phase and precision is high -- **** -- it is used widely.

[0003] Although this type of motor can be thought as a thing possessing the stator which has three coils linked to Y gestalt typically, many stator coils are usually used with the polyphase motor magnetic pole in fact. In such an example of application, 8 pole motor which has 12 stator windings and the group of four N-S magnetic poles on Rota is used typically, and, as a result, four electric cycles per rotation of Rota are used. However, a stator coil can be analyzed with the gestalt of three Y connection mold coils connected to the gestalt of three groups which each becomes from four coils physically isolated by a unit of 90 degrees. If actuation is explained, this coil will be energized for every sequence, and a current path will be established through two coils in each of that sequence among those by which Y connection was carried out, and let the 3rd remaining coils be floating. or [that, as for this sequence, a current path changes] -- or if KOMYUTETO, i.e., rectification actuation, is carried out, it is constituted so that the coil which one side of the coils which constitute this current path was switched to floating, and suited floating before may be switched into a current path. Furthermore, when a floating coil is switched into a current path, the sequence is constituted so that a current may flow in the same direction as the

thing in the coil included in the current path before that. Thus, six commutation (rectification) sequences are defined to each electric cycle in a three phase motor.

[0004] Conventionally, it is recognized during the period of such a polyphase DC motor of operation that it is important concerns to maintain the known location of Rota. The various methods of realizing this existed. The approach currently used most widely was starting a motor in a known location and generating the information relevant to the momentary **** current position of Rota subsequently. When moving through the field to which one source of supply of such momentary positional information is developed as a part of commutation process, a floating coil is identified, and back EMF, i.e., it, is given by the stator, it includes carrying out the monitor of the electromotive force by which induction is carried out into this coil.

[0005] If the electrical potential difference of a floating coil crosses zero (called "a zero crossover" in the technical field concerned), it will be assumed that the location of Rota is known. If this event occurs, the increment of the rotor-coil commutation sequence will be carried out to the next phase, and that process will be performed repeatedly. Generally assumption that the zero crossover expresses the Rota location correctly is materialized, when an event which the motor is functioning appropriately and disturbs the synchronization from the known starting position of that does not occur. However, such an event occurs and that might make the synchronization often lose actually. a bump with rotation of a disk physical [such synchronous loss] -- or adhesive motor bearing -- or rotation of a disk might be interrupted by the friction loss in disk support etc. Moreover, it was impossible to have recovered it, when the synchronization lost in this appearance.

[0006] The possibility of losing such a synchronization was delicate in the motor currently used conventionally, and in order to secure that a starting algorithm and operation conditions are controlled by the precision in order to avoid what may generate the condition of being easy to generate a failure and separating from such a synchronization, it needed to pay great attention.

[0007]

[Problem(s) to be Solved by the Invention] Therefore, the place made into the purpose of this invention is offering the equipment and the approach of having improved to which resynchronization of the driving signal of the Motor Driver circuit is carried out to Rota which a polyphase DC motor's rotates.

[0008] Since the brush loess and the sensor loess type three phase DC motor which are used in order to rotate a three phase DC motor and data medium which is found out in the example of computer related application which includes a hard disk drive, a CD-ROM drive, a floppy disk, etc. especially, for example are driven, the place made into another purpose of this invention is offering the useful equipment and the useful approach which were improved.

[0009] The place made into still more nearly another purpose of this invention is offering the equipment and the approach of using the zero crossover of the electrical potential difference of a floating coil in relation to the information showing the direction of a zero crossover which improved, in order to remove the indefinite nature in detection of the location of Rota.

[0010] The place made into still more nearly another purpose of this invention, the Rota location is offering the equipment and the approach of having improved which make it possible to recover conditions when the synchronization with the sequencer of the Rota commutation circuit shifts.

[0011] The place made into still more nearly another purpose of this invention is offering the equipment and the approach of giving a means preventing generating the zero crossover which commutation and a switching noise mistook in detection of the location of Rota which were improved.

[0012]

[Means for Solving the Problem] According to the suitable operation gestalt of this invention, the polyphase DC motor actuation circuit of the type which has the stator coil of rotation Rota and plurality which made Y mold connection is offered, and this circuit of operation has the circuit which determines the actual momentary location of Rota, and the circuit which determines the desired Rota

location before performing a desired commutation (rectification) sequence. The circuit which performs a desired commutation sequence when detecting that Rota actually has the circuit which determines the actual momentary location of Rota in the Rota location of the request is prepared, and a predetermined resynchronization signal is answered. A resynchronization routine is made to start, in order to forbid the driving signal to a drive coil and to synchronize the location of Rota to a desired commutation sequence. And after the location of Rota of a motor synchronizes with a desired commutation sequence, the circuit which impresses a driving signal to this coil again is prepared.

[0013] The circuit which determines the actual momentary location of Rota of a motor has the circuit which determines when back EMF received by the circuit which receives back EMF crosses zero from a predetermined direction while having the circuit which receives back EMF of at least one coil before a desired commutation sequence. The circuit which measures the delay for forbidding determining when back EMF received by the circuit where make commutation, i.e., rectification, start in, and a mask circuit is made to enable further in, and the back EMF circuit receives back EMF [the back predetermined time amount of said commutation] crosses zero after back EMF crosses zero from a predetermined direction is prepared.

[0014] This delay and mask circuit The rise counter, first, and second down counter, The source of a clock pulse connected that clock actuation of this rise counter and the down counter should be carried out, A means to forbid the clock pulse to the second down counter until the first down counter reaches a predetermined count, And a zero crossover detector's detection of a zero crossover has a means to be in operating state, to load a count to the first and the second counter from a rise counter, and to reset a rise counter subsequently. The first counter determines commutation, i.e., the delay period before rectification, and the second counter determines a noise mask period.

[0015] The signal of the arbitration of others showing "resynchronization" signal which can be considered as an output enable signal, the signal showing

superfluous temperature, a motor, or the unusual operating state of a driver circuit etc. is answered, and the minimum mask count is loaded in the second down counter instead of the period count loaded under the usual operating condition, and a minimal delay count is loaded in the first down counter. This minimum mask count generates the mask time amount between about 500 nanoseconds and about 10 microseconds.

[0016] According to the side face of still more nearly another wide sense of this invention, the approach of a polyphase DC motor of operation of having rotation Rota and two or more drive coils is offered. This approach has the step which performs a desired commutation sequence, when the circuit which determines the actual momentary location of Rota detects that Rota is actually located in the desired Rota location as the step which determines the actual momentary location of Rota, and the step which determines the desired Rota location before performing a desired commutation sequence. The resynchronization routine for answering a predetermined resynchronization signal, and the driving signal to a drive coil being forbidden, and synchronizing the Rota location to a desired commutation sequence is started. After the Rota location of a motor synchronizes with a desired commutation sequence, a driving signal is impressed again to this coil.

[0017] The step which determines the actual momentary location of Rota of a motor is carried out by determining when back EMF received by the circuit which prepares the circuit which receives back EMF of at least one coil before a desired commutation sequence, and receives back EMF crosses zero from a predetermined direction. After back EMF carries out a zero crossover, delay is given [predetermined time amount], and commutation, i.e., rectification actuation, is carried out after that. If commutation is performed, the mask for forbidding the step which determines when back EMF next crosses zero will be given. A resynchronization signal is answered, a mask time delay is established, and it is more remarkable than the mask time amount which is needed in the usual motor actuation in case a driving signal is impressed to a coil, and short.

[0018]

[Example] Some electric schematic diagrams of the possible motor controller 10 of incorporating the equipment and the approach based on a suitable example of this invention are shown in drawing 1 . Although it is possible to constitute from a component with this discrete, i.e., to be individual, motor controller, the motor controller 10 is suitably incorporated on the single semiconductor chip which suited that it should connect with the stator coil of the three phase DC brush loess spindle motor used in order to rotate the magnetic disk in systems, such as a hard disk drive of a computer, a CD-ROM drive, and a floppy disk drive, or other disks. Although such a three phase motor has suitably stator winding which made Y mold connection, such a Y mold gestalt does not necessarily need to be coil connected. Therefore, these coils are output terminals OUT so that it may explain below at a detail. A, OUT B, OUT C, CTR It is possible to make it connect with TAP. Although it is what should be careful of, and the suitable example of this invention is explained especially about a three phase motor, generally the principle of this invention can be applied equally to a polyphase motor.

[0019] It is an output terminal OUT by the power stage 11 which can be constituted so that driver voltage may explain drawing 2 below. A, OUT B, OUT C is supplied. The power stage 11 is an output terminal OUT by the sequencer circuit 13 which sequence actuation is carried out and is explained below about drawing 4 . A, OUT B, OUT A sequential control output signal is supplied to C, the signal interface circuitry 12 supplies the output signal from the sequencer circuit 13 to the power stage 11, and the function of others, such as braking and other enabling functions, is made to enable. Further, a sequencer 13 supplies a driving signal to the circuit of others of this controller circuit, and controls the various side faces of rotation of the motor driven by the circuit 10.

[0020] Output terminal OUT A, OUT B, OUT It connects with the back EMF sense amplifier 14 still more possible [a switch], and C is explained with reference to drawing 5 below about the detail of a **** sense amplifier. This back EMF sense amplifier 14 supplies a signal to the zero crossover detector circuit 16

explained with reference to drawing 5 below, and it supplies an input signal to the digital delay circuit 17 explained with reference to drawing 7 below. The output of the digital delay circuit 17 controls actuation of a sequencer 13 by the mode explained below at a detail. The motor controller circuit 10 has the system clock circuit 23, and the phase locked loop (PLL) frequency / phase detector circuit 24. And for example, "aryne - and - go (align and go)" starting circuit for making it easy to put a motor into operation from the circuit which supports Pulse-Density-Modulation actuation of a motor, and the stopped conditions, It is possible to have the circuit (un-illustrating) of various others, such as a port control logic for making control of a motor controller circuit easy by the external microprocessor (un-illustrating) and a related shift register circuit.

[0021] The power stage 11 of the motor control circuit 10 is the conventional H bridge 30 usually called triple-1 / 2-H-bridge as shown in drawing 2 . Moreover, where the Y connection mold stator windings 32, 33, and 34 are connected in order to receive the drive current supplied by the power stage 11 of the motor control circuit 10 possible [a switch], it is shown in drawing 2 . Three serial current paths 37, 38, and 39 are given between the supply voltage impressed to Rhine 40, and the reference voltage on Rhine 42. each -- a current -- a path -- respectively -- two -- a ** -- a switching transistor -- 44 -- and -- 45 -- 44 -- ' -- and -- 45 -- ' -- 44 -- " -- and -- 45 -- " -- having -- **** . It is possible a transistor 44, 44', and to consider as the 45, 45', and power switch FET with well-known 45", or 44" of things considered as other switching equipment by request is possible. Rhine 42 is connected to the external detection resistance 49 (externally, as shown in drawing 1 , it connects with terminal R SENSE), and ground connection of this detection resistance 49 is carried out.

[0022] In the common center tap 36, common connection of each end of stator coils 32, 33, and 34 is made, and those other-end sections are a switching transistor 44-45, 44'-45', and each node OUT between each pair of 44 "-45". A, OUT B, OUT It connects with C. a switching transistor -- 44 -- 45 -- 44 -- ' -- 45 -- ' -- 44 -- " -- 45 -- " -- each -- having illustrated -- as -- the -- a current -- a path --

parallel connection -- carrying out -- having had -- a flyback -- diode -- 47 -- 48 --;
 -- 47 -- ' -- 48 -- ' --; -- 47 -- " -- 48 -- " -- having -- **** .

[0023] If actuation is explained, one node (for example, the node A) will drive to a high condition by one of the upper switches 44 during an energization phase period. One node (for example, the node B) drives to a low condition by one of the lower switch 45', and the remaining nodes (for example, the node C) have both switch 44" and off 45", and let them be floating. This is usually called "AB phase." Subsequently, in each commutation phase, a current always flows [in / in this coil / two of three coils]. The 3rd coil is floating. And and after switching In the commutation sequence determined by the sequential circuit 13, switching is carried out in a mode which flows in the same direction in one of two coils with which the current continued, and it flowed, and the current was flowing in the last phase. Furthermore, if it explains to a detail, as shown in drawing 3 , in a three phase motor, the phase on six actuation exists in fact. A current flows in each of these six phases, as shown in the following table A.

[0024]

Table A phase Origin to which a current flows The point at which a current flows
 Floating coil 1 A B C 2 A C B 3 B C A 4 B AC 5 C A B 6C B The switching
 operation of the driver transistor of the power stage 11 for switching the current
 over A each phase As shown in drawing 4 , it is attained by the sequencer circuit
 13, and it supplies a signal to the top driver outgoing end 52 and the bottom
 driver outgoing end 53, and performs the **** switching sequence shown in Table
 A. The driver outgoing ends 52 and 53 of a top and the bottom are connected to
 the driver input line of the bottom shown in drawing 2 , and the bottom. A shift
 register 55 determines the specific top and bottom output Rhine which are
 activated by specific time amount. In order to make this decision, it is possible to
 carry out a shift action through the various data locations of a shift register 55
 sequentially [load a proper sequence in a shift register 55, and]. For example,
 one data sequence in the illustrated example which generates the commutation
 sequence of Table A may be "110000", clock actuation of it is carried out

continuously, and it is outgoing end Q1-Q6. It appears. Clock actuation of the shift register 55 is carried out by the system clock introduced into a shift register 55 by the clock signal generated by the delay counter 112 explained below about drawing 7 at a detail. Therefore, a shift register 55 operates and is the outgoing end Q1-Q6. One is provided with a high condition and the turn-on of the transistor of the bottom which corresponds according to the sequence shown in Table A, and the bottom is carried out.

[0025] The circuit of others of a sequential circuit 13 has the reset line 59 which operates that a shift register 55 should be reset. Outgoing end Q1-Q6 It connects with the null voltage crossover logic control circuit of drawing 6 explained below through Rhine 66 further. When the braking signal and/or superfluous temperature status signal which are generated in other parts of the motor control circuit 10 are impressed to a logical circuit 63 through Rhine 67 and such a braking signal and/or superfluous temperature conditions exist by request, it is possible to prevent the output to the motor on a top, bottom driver output Rhine 52, and 53. or [generating a braking signal by software] -- or considering as an external signal is possible, and it is impressed in order to carry out the turn-on of the driver of all the bottoms and to carry out the turn-off of the driver of all tops. All the coils 32, 33, and 34 short-circuit in common so that the eddy current generated by the field in coils 32, 33, and 34 at coincidence may brake a motor.

[0026] Unlike the conventional commutation technique, commutation between coils 32, 33, and 34, i.e., rectification actuation, is performed by answering the information which expresses the specific location of Rota of a motor in relation to the circuit information showing the location of a request of Rota. If it explains to a detail more, when a corresponding coil's arriving at a specific rotation location and commutation should occur, the commutation which impresses the next drive sequence of Table A will answer correlation with the sequencer information showing in which location the motor should be, and will be determined as it. It opts for the decision of the precise rotation location of Rota continuously by carrying out the monitor of the zero crossover voltage in the coil in each ***** ,

i.e., floating. If it explains to a detail more and switching of the coils 32, 33, and 34 will be carried out during the commutation sequence period of Rota, the monitor of the electrical potential difference of a floating coil will be carried out by the back EMF amplifier circuit 14 shown in drawing 5 .

[0027] The back EMF amplifier circuits 14 are the Motor Driver outgoing ends OUTA and OUT in the circuit of drawing 2 . B, OUT It has the switches 81, 82, and 83 connected to C, respectively, and is an output OUT. A, OUT B, OUT One chosen of C is impressed to the noninverting input edge of a comparator 85. Motor Driver output OUT impressed to a comparator 85 A, OUT B, OUT It corresponds to that by which what specific one of the C should be in floating among coils 32, 33, and 34 is planned (it is not the coil which is carrying out floating actually). In this specification, although it is used as a thing showing the coil which does not exist the vocabulary "floating" in the momentary current path, this coil "does not float" in practice and is connected to a tri-state impedance. As switches 81, 82, and 83 operate by the circuit of drawing 6 explained below and were explained just to the top, switching operation of the coil with which what should be been in floating was planned is performed.

[0028] When the electrical potential difference on the floating coil which the center tap connection 36 (refer to drawing 2) of Rota is connected to the reversal input edge of a comparator 85, therefore was chosen is larger than a center tap electrical potential difference, this comparator generates the output showing the null voltage crossover of the electrical potential difference on the selected floating coil. (The electrical potential difference impressed to the input edge of a comparator 85 is so-called "back EMF" of a coil, and the electrical potential difference is an electrical potential difference generated in the coil chosen when moving through the field in the motor generated by the stator of a motor.) The comparator 85 is constituted so that it may have a hysteresis. It is because time amount continuation is carried out and the case long enough where it does not exist is to make it possible for generating of the electrical potential difference exceeding zero crossover voltage to have the useful output signal of a

comparator 85.

[0029] Furthermore, reference of drawing 5 supplies the output from a comparator 85 to a shift register 88 through a transmission gate 89. The mask signal generated by the mask counter 111 (refer to drawing 7) is impressed to the enable input edge of a transmission gate 89, therefore it is forbidden that the output from a comparator 85 should be impressed during the period of the mask period following the phase commutation of the sequencer circuit 13 to a shift register 88. However, enabling that the output signal from a comparator 85 passes through a transmission gate 89 impresses it to D input edge of the thing of the beginning of four D type flip-flops 90, 91, 92, and 93 which constitute a shift register 88.

[0030] The various outgoing ends of flip-flops 90, 91, 92, and 93 are supplied to the output logical circuit 95 which has NAND gates 96, 97, 98, and 99. As for each of flip-flops 90, 91, 92, and 93, a receipt and each generate a reversal Q output and a noninverting Q output for the clocked into from a system clock. Q output of flip-flops 90, 91, and 92 is impressed to D input edge of the flip-flop of each next stage, and Q outgoing end of the flip-flop 93 of the last stage is connected to NAND gate 98 of the output logical circuit 95.

[0031] Q outgoing end of flip-flops 90 and 92 is connected to the input edge of upper NAND gates 96 and 97, respectively, and, on the other hand, Q outgoing end of flip-flops 91 and 93 is connected to the input edge of lower NAND gates 99 and 98, respectively. The reversal Q outgoing end of flip-flops 90 and 92 is connected to the input edge of lower NAND gates 99 and 98, respectively, and, on the other hand, the reversal Q outgoing end of flip-flops 91 and 93 is connected to the input edge of upper NAND gates 96 and 97, respectively.

[0032] Moreover, schedule inclination Rhine 101 corresponding to the zero crossover inclination which shifts to negative from forward [which schedule inclination Rhine 100 corresponding to the zero crossover inclination which shifts to forward from negative / which is planned / is connected to the input edge of NAND gates 96 and 97, and was planned] is connected to the input edge of

NAND gates 98 and 99. It is generated from the phase information generated in the circuit of drawing 6 , and the signal on Rhine 100 showing the direction of the planned zero crossover and 101 derives it from the outgoing end of the shift register 55 in the sequencer circuit of drawing 4 .

[0033] the transition in the planned direction which the output from a logical circuit 95 was supplied to output NAND gates 102 and 103, the output of this gate answered detection of an actual zero crossover of the specified floating coil, was finally generated, and specified this zero crossover, i.e., the zero crossover transition which shifts from negative to forward, -- or it has any of the zero crossover transition which shifts to negative from forward.

[0034] The outgoing end of upper NAND gate 96 and lower NAND gate 99 is connected to the input edge of output NAND gate 103, and the outgoing end of upper NAND gate 97 and the outgoing end of lower NAND gate 98 are connected to the input edge of output NAND gate 102, and the connection with output NAND gates 102 and 103 is established. When Rhine 101 which a signal generates when the zero crossover of forward inclination is planned is connected to the input edge of upper NAND gates 96 and 97 and the zero crossover of negative inclination is planned, Rhine 100 which a signal generates is connected to the input edge of lower NAND gates 98 and 99. Therefore, upper NAND gates 96 and 97 answer actual generating of a zero crossover of the forward inclination planned, and lower NAND gates 98 and 99 answer actual generating of a zero crossover of the negative inclination planned. For the connection made in the stage configuration in the four-step shift register 88 to each of a forward and negative detection path, as curves 109 and 108 showed to drawing 5 a, the outputs from output NAND gates 102 and 103 are two pulses isolated about time amount, and, in addition, generate those curves from either the zero crossover 106 negative from forward, or the zero crossover 107 forward from negative, respectively. Therefore, the pulse generated in the outgoing end of NAND gate 103 is preceded with the pulse by which only one clock cycle is generated in the outgoing end of NAND gate 102. In order that the output of NAND gate 103 may

supply a "load" signal to the counter which measures the necessary mask and necessary time delay after phase commutation, i.e., phase rectification, it is used, and the output of NAND gate 102 is used in order to supply "reset" signal to a period counter.

[0035] The circuit which generates the switching signal of not only the signal showing inclination forward [on Rhine 100 and 101] and negative but the for switches 81 and 82 and for 83 is shown in drawing 6 , next it is explained. The circuit of drawing 6 makes internal phase data derive on Rhine 66 from the output from the sequencer shift register 55 in drawing 4 . It has the information showing the signal to a top and the bottom drive transistor A, a top and the bottom drive transistor B, a top, and the bottom drive transistor C, respectively, applying [66] it to right-hand side from left-hand side (refer to drawing 2). Therefore, an output signal SA is OUT. It means that what the coil in A should be in floating is planned, and SB is OUT. It means that what the coil in B should be in floating is planned, and an output signal SC is OUT. It means that what the coil in C should be in floating is planned. the signal on Rhine 101 and 100 means whether it is planned similarly that a floating coil experiences negative or a positive direction to the back EMF zero crossover even if which will be in floating momentarily namely,.

[0036] In order to help to detect appropriately the zero crossover of the floating coil with which the back EMF amplifier 14 and the logical circuit 95 were chosen, it became clear that it is required to carry out the mask of the noise generated in the noise generated in actuation of various circuit elements especially the noise generated by the commutation of the coil which has after switching the inclination for a while which carries out between ring actuation, and a sequencer circuit. In order to attain the circuit function of others which this mask function and the approach of the circuit of this invention of operation enable, delay and the mask circuit 105 of drawing 7 are formed. This delay and mask circuit 105 have the rise counter 110 and three down counters 111,112,113. The rise counter 110 acts as a period counter, and supplies a digital count on the outgoing end corresponding

to the time amount between the actual zero crossovers of the selected floating coil detected by the zero transverse differential circuit mentioned above with reference to drawing 5 .

[0037] A receipt and its selected frequency opt the resolution of a system for a clock signal input from the clock frequency divider 120 which divides the rise counter 110 to the frequency of a request of a system clock frequency. The rise counter 110 is reset by the reset pulse generated by NAND gate 102 in the circuit of drawing 5 after actual generating of a desired zero crossover is detected.

Therefore, the rise counter 110 continues a count until it starts a count and is again reset by detection of the following actual zero crossover, after it is reset.

[0038] The output of the rise counter 110 is supplied to each input edge of the down counter 111,112,113 which performs various masks, delay, and a control function. The down counter 111 determines the mask which has the function which carries out the mask of the noise which answers, the noise of the sequencer circuit 13 and commutation, i.e., the rectification actuation, shown in drawing 4 , and is generated by coils 32, 33, and 34, and when a desired mask count is reached, it generates an output on Rhine 120. Henceforth, the down counter 111 is called the mask counter 111. For example, the mask counter output signal on Rhine 120 can be used in order to make the transmission gate 89 in the zero crossover detector in drawing 5 enable, therefore a zero crossover is not detected after progress of a mask period. The mask counter 111 is generated from Rhine 121 with the output of NAND gate 103 which showed the "LOAD (loading)" signal to drawing 5 just before a RESET (reset) pulse generated a receipt and the "LOAD" signal on the outgoing end of NAND gate 102.

[0039] Furthermore, the mask counter 111 receives a clock signal from a frequency divider 123. In order to make it possible to control the divisor of a frequency divider 123 in order to make it possible to choose the resolution of a mask count by request to the specific example of application for which a driver circuit 10 is used, it is possible to form many selection terminals 124.

[0040] Therefore, detection of the actual zero crossover of the floating coil chosen when actuation was explained of the circuit of drawing 5 loads the count which exists in the rise counter 110 in the mask counter 111. By resetting the rise counter 110 and starting a new period count, it is continued until the next zero crossover occurs, a count new when [that] it generates is loaded in the mask counter 111, and the rise counter 110 is reset, and the process is performed repeatedly. Therefore, the actual mask time amount on which it decides with the mask counter 111 changes depending on the rotational speed of a motor so that I may be understood. (However, the percentage of the value of angle of rotation is still fixed.) It is the same mode, and before a coil is switched to the next phase, namely, commutation (rectification actuation) of the down counter 112 is carried out, it acts that the time amount corresponding to the delay after detecting a zero crossover should be counted. The down counter 112 is henceforth called the delay counter 112. The delay counter 112 can choose the clock frequency divided from the frequency divider 126, when the divisor of a receipt and this frequency divider impresses a proper signal to one of the selection Rhine 127. Fundamentally, actuation of a load function and a count function is the same as actuation of the mask counter 111 mentioned above. However, although it is what should be careful of, the time amount calculated by the delay counter 112 with which it is expressed with the output on Rhine 122 is more substantially [than the time amount calculated by the mask counter 111] long.

[0041] The reversal output of the delay counter 112 on Rhine 122 is impressed by NAND gate 141 to the clocked into edge of the mask counter 111, and the clock pulse from a frequency divider 123 is also impressed to the **** gate. Therefore, the signal on Rhine 122 forbids impression of the clock pulse to the mask counter 111 until after completion of the delay count by the delay counter 112. The count of the mask counter 111 and the delay counter 112 is sequential, i.e., are successive, and the mask count of the mask counter 111 continues after completion of the delay count of the delay counter 112.

[0042] Since a floating rotor coil was not predicted and the mask circuit 105 of

drawing 7 operates based on an actual zero crossover signal, it makes it possible to perform the motor control function of conventionally impossible many. For example, it is possible to be based on the delay calculated after the actual zero crossover of the planned floating coil generates the commutation of Rota, i.e., rectification actuation. It is possible to follow, for example, to make the commutation of a coil, i.e., rectification actuation, start using the output of the delay counter 112 on output Rhine 122. Therefore, since it is dependent on the output signal of a delay counter in order for the mask counter 111 to also make the count start, the accidental zero crossover which it is possible to carry out the mask of the switching noise from the switching transient state generated by the sequencer circuit 13 and the coil, therefore is generated by the switching noise is not interpreted as a zero crossover with the actual selected floating coil.

[0043] Furthermore, it is possible to attain other motor control functions easily. For example, the additional down counter like the down counter 113 mentioned above, for example is able to give useful functions, such as for example, rate fall decision. The down counter 113 is henceforth called the slowdown (rate fall) counter 113. The slowdown counter 113 operates in the same mode as the mask counter 111 and the delay counter 112, and receives the clock signal by which the frequency division was carried out from the system clock frequency by the frequency divider 128. forming the selection input line 129 and choosing a frequency divider to the specific example of the Motor Driver application by request, -- possible -- making -- things are possible. It is possible in a down count using it as a thing showing a motor slowing down namely, rate falling the signal, in meaning that the output signal on Rhine 130 changed the condition by choosing appropriately the clock frequency impressed to the slowdown counter 113 so that for a long time than the time amount between commutation, i.e., the zero crossover with an actual floating coil by which rectification actuation is carried out, and the slowdown counter 113 completed the count. That is, if a signal appears on output Rhine 130, it expresses the ***** rather than the period before the counted period was loaded in this counter, and that means that

the motor slowed down namely, fell [rate].

[0044] To all the counters 110,111,112,113, NAND gate 133,134,135,136 is formed, the output of each counter is combined to those gates, an output is supplied and the output is combined with each clock signal by NAND gate 140,141,142,143. Therefore, reaching the greatest rise count or greatest down count does not pass over a counter 110,111,112 or which count of 113 to approve, and it is stopped by the count, therefore this counter is recycled and does not start a new count.

[0045] In order to make it possible to carry out resynchronization to the rotary motor which is when the circuit of drawing 7 is in the phase sequencer and the asynchronous condition of having explained drawing 4 above, the circuit 148 which gives a minimal delay count to the circuit 147, the mask counter 111, and the delay counter 112 which give the minimum mask count is formed.

Furthermore, the mask counter 111 and the delay counter 112 receive the "resync" signal on Rhine 215 generated from the resynchronization circuit 210 explained below with reference to drawing 9 . The mask counter 111 and the delay counter 112 operate, when a resync (resynchronization) signal exists on Rhine 215, and they make the usual actuation and the contrast target of a delay circuit 17 load the minimal delay count which exists in the minimum mask count which exists in the minimum mask count circuit 147, and the minimal delay count circuit 148 into the mask counter 111 and the delay counter 112 instead of the contents of the period counter 110, respectively.

[0046] Next, as shown in drawing 8 , actuation of a circuit 10 is explained with reference to the wave generated in the various parts of a circuit. The angle-of-rotation index curve 160 to each coil is shown in these wave-like upper parts for criteria. As for each sinusoidal form, the notation is attached corresponding to the node to which each coil of coil 32-A, coil 33-B, and coil 34-C is connected. The corresponding commutation sequence generated in the pinpointed rotation location is shown in the angle-of-rotation curve 160 bottom.

[0047] The following three curves 164,165,166 show the electrical potential

difference of the coils A, B, and C driven, respectively. Each coil has two sequences in which it has a forward electrical potential difference, two sequences in which it has a negative electrical potential difference, and two sequences from which it will be in a float condition to one electric cycle shown in the pars basilaris ossis occipitalis of the curve of drawing 8 so that I may be understood. For example, when the curve showing the electrical potential difference on Coil A is referred to, the first two electrical potential differences 170 and 171 of the sequences 1 and 2 to which it coil B Passes from Coil A, and a current flows from Coil A to Coil C, respectively are forward. During the period when Coil A floats in a sequence 3, an electrical potential difference 173 changes from forward to negative. Two electrical potential differences 174 and 175 next to the sequences 4 and 5 whose currents are during the period which flows from Coil B to Coil A and from Coil C to Coil A, respectively are negative. Finally, if Coil A will be in a float condition again throughout [six sequence], an electrical potential difference 176 will change from negative to forward. Other coils B and C have the same electrical-potential-difference curve, and the variation rate of each is carried out 120 degrees mutually.

[0048] Each coil will be in a float condition twice during one electric cycle period, and has two zero crossovers so that I may be understood. However, one zero crossover has negative inclination negative from forward, and the zero crossover of another side has forward inclination forward from negative. Therefore, without taking the direction of a crossover into consideration, only by being based on a zero crossover, in using the Rota location as a decision plug, indefinite nature exists. (This was one of the faults of the conventional Motor Driver system.) therefore -- for example, as shown by the curve 173, when the electrical potential difference Of Coil A changes from forward to negative, the zero crossover 180 is detected by the zero transverse differential circuit 80 shown in drawing 5 . Furthermore, it is detected by the inclination detecting circuit 95 where the direction of this zero crossover is also shown in drawing 5 . if a zero crossover is detected, a sequence will carry out an increment -- having -- a coil --

commutation -- that is, rectification actuation is carried out and the mask circuit 105 of drawing 7 is made to reset and reload Subsequently, a zero crossover detector hunts for [the zero crossover of the following floating coil (in this case, the coil C)], and that zero crossover is transition forward from negative, as understood from the curve 182 in drawing 8 . After the zero crossover is detected and commutation is performed, it is hunted for [a zero crossover negative from forward / of the floating coil B shown with a curve 183], and still more nearly same actuation is performed.

[0049] A commutation sequence is as the following when it summarizes. The generating is detected by a sequencer circuit's establishing the desired Rota phase, and finding out the zero crossover with a suitable zero crossover detector. detection of a zero crossover generates a delay mask with the delay counter 112 first -- having -- subsequently -- a rotor coil -- commutation -- that is, rectification actuation is carried out and the second mask is generated by the mask counter 111. A right floating coil is determined by the phase information generated from the output signal of a shift register 55, and the phase information connects a suitable coil to the back EMF amplifier 85 by making suitable switches 81 and 82 or suitable 83 close.

[0050] By generating delay between a zero crossover and the increment actuation to the next phase, it is possible to make a torque ripple optimize and it is possible to use the inertia of Rota in that case.

[0051] The whole process is covered and two elements exist so that I may be understood. That is, the actual zero crossover by which is established first and (2) detection of the zero crossover by which (1) prediction is carried out is carried out supports the predicted zero crossover which was established before. When an actual zero crossover is not detected, commutation, i.e., rectification actuation, does not occur until a zero crossover is actually detected. Therefore, even if a sequencer 13 is the case where the driving signal to a motor is removed, it always synchronizes with the actual motor location. For example, when the driver circuit 10 has the superfluous temperature alarm signal, it is possible to prepare

the circuit which prevents the driving signal to a motor until superfluous temperature conditions are amended. When the driving signal was prevented, a sequencer maintains the condition of having synchronized with motor rotation, therefore superfluous temperature conditions are amended, of course although a motor slows down, in order to return a motor to a working speed, without needing a complicated resynchronization technique, it is possible to re-impress a way drive immediately. There are events, such as a bump to the disk which the same thing can say also about other events, is made to lose the synchronization with the sequencer of a motor when such an event is not so, for example, is driven by the motor, i.e., a collision etc.

[0052] Finally, the mask signal 190 generated on Rhine 120 of the mask circuit of drawing 7 is shown in the pars-basilaris-ossis-occipitalis curve of drawing 8 . This mask curve has two parts, 191 and 192, corresponding to each mask time amount of the delay counter 112 and the mask counter 111. [for example,]

[0053] The various conditions that to remove, the drive, i.e., the drive, to Rota of a motor, is wished exist without actually braking a motor, as mentioned above.

For example, Motor Driver may receive an enable signal from a related microprocessor or other external sources of supply. Moreover, the signal of the versatility showing unusual actuation of generating of an event which disturbs the synchronization of the superfluous temperature of a driver chip, Rota, and a phase sequencer, for example, or the other same unusual conditions generated internally may be offered. When such conditions occur, it is lost by the synchronization with the synchronous machine of Rota, therefore must stop having to use complicated re-initiation and/or a resynchronization algorithm.

[0054] According to the suitable example of this invention, the circuit which recovers a synchronization easily is prepared and a part of circuit 210 is shown in drawing 9 . As shown in drawing 9 , the circuit 210 has the shift register with which each has two flip-flops 212 and 213 by which clock actuation is carried out with a system clock. Flip-flops 212 and 213 are the things of the type which generates the complement of the data on D input edge in a reversal Q outgoing

end after a clock pulse, when the signal on S input edge is in a low condition. However, when S input is in a high condition, the output on a reversal Q outgoing end is in a low condition. Therefore, the signal showing an output enabling reversal signal and abnormality conditions is usually in a low condition, therefore the output from NAND gate 214 is usually in a high condition. Therefore, the reversal Q output of flip-flops 212 and 213 is usually in a low condition. On the other hand, if any of the abnormality operating conditions they are occurs or an output enable signal is removed, as for the output on Rhine 215 from a flip-flop 212, it will require that a resynchronization routine should be performed immediately by flip-flops' 212 and 213 changing a condition, and impressing a high signal to those reversal Q outgoing ends, and the output on Rhine 68 from a flip-flop 212 will require that the coil of a motor will be in a tri-state condition.

[0055] If an output enable signal is recovered or abnormality conditions are removed, the low condition impressed to D input edge of a flip-flop 212 permits clock actuation being carried out through a circuit 210 by two clock cycles, namely, starting removing a resynchronization signal and recovering the usual circuit actuation first, removing a tri-state signal subsequently, and re-impressing the usual drive (drive) to the coil of a motor.

[0056] Actuation of this circuit which answers the resynchronization signal and tri-state signal of a circuit 210 is explained with reference to the condition diagram of drawing 10 . When the signal which performs a resynchronization routine occurred, as the first condition 200 is entered and the loop formation 201 showed, the first condition 200 is continued until the conditions which resynchronization is made to enter do not exist any longer. In the first condition 200, the turn-off of all the motor outputs is carried out, and it is permitted that a motor carries out coast actuation. Although it is what should be careful of, this condition differs from the braking function which the turn-on of the lower driving signal is carried out, and makes it possible for back EMF of a coil to stop rotation of Rota and which was mentioned above. The predetermined minimum mask count and a predetermined delay count are loaded to coincidence in the mask counter 111 and the delay

counter 112 (refer to drawing 7).

[0057] When the conditions which make a resynchronization algorithm start are removed, it is permitted that this circuit shifts to the second condition 205. In the second condition 205, an output is still a tri-state condition, and a motor maintains coast actuation.

[0058] More nearly again, if drawing 7 is referred to, coils are [no] off, and if it is in floating, the thing [counter / 111 / which generates a time delay according to the reaction of the coil to commutation, i.e. rectification actuation, in order to carry out the mask of the switching transient in a sequencer and the back EMF amplifier / mask / it] under normal operation is important. It is because it needs for the commutation transient of a coil not to exist and to carry out the mask only of the own switching noise of a circuit as a matter of fact when a coil is in a tri-state condition. The time amount of a switching noise needs to establish the "minimum mask" during this tri-state actuation period short (for example, comparing with about 20 microseconds 500 nanoseconds) therefore more remarkably than the time amount of a commutation noise. However, although it is what should be careful of, the phase information detected by the back EMF amplifier is the mode mentioned above, and it is still used in order to choose a right floating coil and a right rise, or downward edge transition. Furthermore, corresponding to delay of the request before commutation occurs, predetermined delay is set up in the delay counter 112 in the mode mentioned above in the case of normal operation, and the same mode.

[0059] Therefore, in the second condition 205, if this circuit discovers a specific zero crossover and it occurs, a zero crossover signal will be generated. When it did not occur, as a zero crossover signal is not generated and the loop formation 206 showed this circuit, it remains in the second condition 205. Therefore, Rota continues rotation without power until it comes to the location of a request of the selected coil, i.e., the location which the zero crossover from the right generates. If the zero crossover for [crossover] the selected coil had actually reached and hunted the desired location is detected, the increment of the commutation

sequence will be carried out to the next phase, and the condition of this circuit will change to the third condition 208. On the other hand, when a zero crossover is not detected, Rota continues coast actuation and performs it until it finally stops. In this case, one of many well-known motor starting algorithms is used for a motor, and it needs to carry out a restart.

[0060] When a zero crossover is detected in the second condition 205, this circuit is in the third condition 208. In the third condition 208, way reset of the period counter 110 is carried out immediately, and it hunts for [the second zero crossover]. The phase information from a sequencer circuit controls the back EMF amplifier, and hunts for [the zero crossover of a coil which comes to the degree corresponding to the next phase]. When the switching noise from the back EMF amplifier and an activity circuit passes, as for the search to the second zero crossover, it is possible to make it start after the time amount which is extent for about 500 nanoseconds. It is because a remarkable noise which these coils are not yet energized and has interfered in zero crossover detection is not generated. therefore, 500 nanoseconds and several mm second -- the mask time amount between 5 thru/or 10 mses is suitable mask time amount suitably. It is the mode same with having mentioned above about the second condition 205, and when the second zero crossover is not detected, in order to continue rotation and to start a motor again until Rota will finally be in a idle state as the loop formation 209 showed, a starting algorithm is required for Rota.

[0061] However, if the second zero crossover is detected, the foundation which determines an actual rotational speed of a motor from the count accumulated into the period counter 110 exists. Therefore, if the second zero crossover is detected, the count accumulated into the period counter 110 will be loaded in the mask counter 111 and the delay counter 112, and the minimum mask count and a minimal delay count load signal will be released, and actuation of this circuit will be performed by continuing under normal operation in the fourth condition 210.

[0062] Although it is what should be careful of, the probability that Rota loses a certain amount of rotational speed is during a resynchronization period. However,

since it synchronizes with the actual Rota location, the drive, i.e., the drive, to a motor coil, the drive synchronizes appropriately, and the Rota rate returns to a suitable working speed correctly, and it is locked by the phase locked loop circuit 24 shown in drawing 1 .

[0063] As mentioned above, although the mode of concrete operation of this invention was explained to the detail, it is needless to say [this invention] for various deformation to be possible, without not being limited only to these examples and deviating from the technical range of this invention.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline block diagram of the motor drive system incorporating the equipment based on the suitable example of this invention.

[Drawing 2] The schematic diagram having shown the power stage used in the Motor Driver system of drawing 1 for supplying a motorised signal to the Y connection mold stator coil of the motor which is in case a driver system is related.

[Drawing 3] The schematic diagram having shown the typical Y connection mold

rotor-coil configuration which showed the flow direction of the current over six phases of a three phase motor.

[Drawing 4] The schematic diagram of the sequencer circuit used in the Motor Driver system of drawing 1 .

[Drawing 5] The schematic diagram having shown the back EMF amplifier and zero crossover detector which are used in the Motor Driver system of drawing 1 .

[Drawing 5 a] The explanatory view having shown the various voltage waveforms generated in the outgoing end of the zero crossover detector of drawing 5 in which the time relation to the detected rise or downward zero crossover was shown.

[Drawing 6] The schematic diagram having shown the zero crossover logic switching circuit used in order to control the back EMF amplifier connection condition in the circuit of drawing 5 .

[Drawing 7] The schematic diagram having shown the circuit which generates the commutation delay signal, sequencer advance signal, and commutation noise mask which are used in the Motor Driver system of drawing 1 .

[Drawing 8] The wave form chart having shown the voltage signal in the various points in the circuit of drawing 1 in relation to some electric cycles of the motor which is in case this driver circuit is related.

[Drawing 9] The schematic diagram having shown the circuit for making start and maintaining the resynchronization algorithm relevant to the mask generating circuit of drawing 7 .

[Drawing 10] The condition diagram having shown the approach enforced by the equipment of drawing 1 to which resynchronization of related rotation Rota of a polyphase DC motor and the related driving signal of this equipment is carried out.

[Description of Notations]

10 Motor Controller

11 Power Stage

12 Signal Interface Circuitry

13 Sequencer Circuit
14 Back EMF Sense Amplifier
16 Zero Crossover Detecting Circuit
17 Digital Delay Circuit
23 System Clock Circuit
24 Phase Locked Loop Frequency / Phase Detector Circuit

[Translation done.]

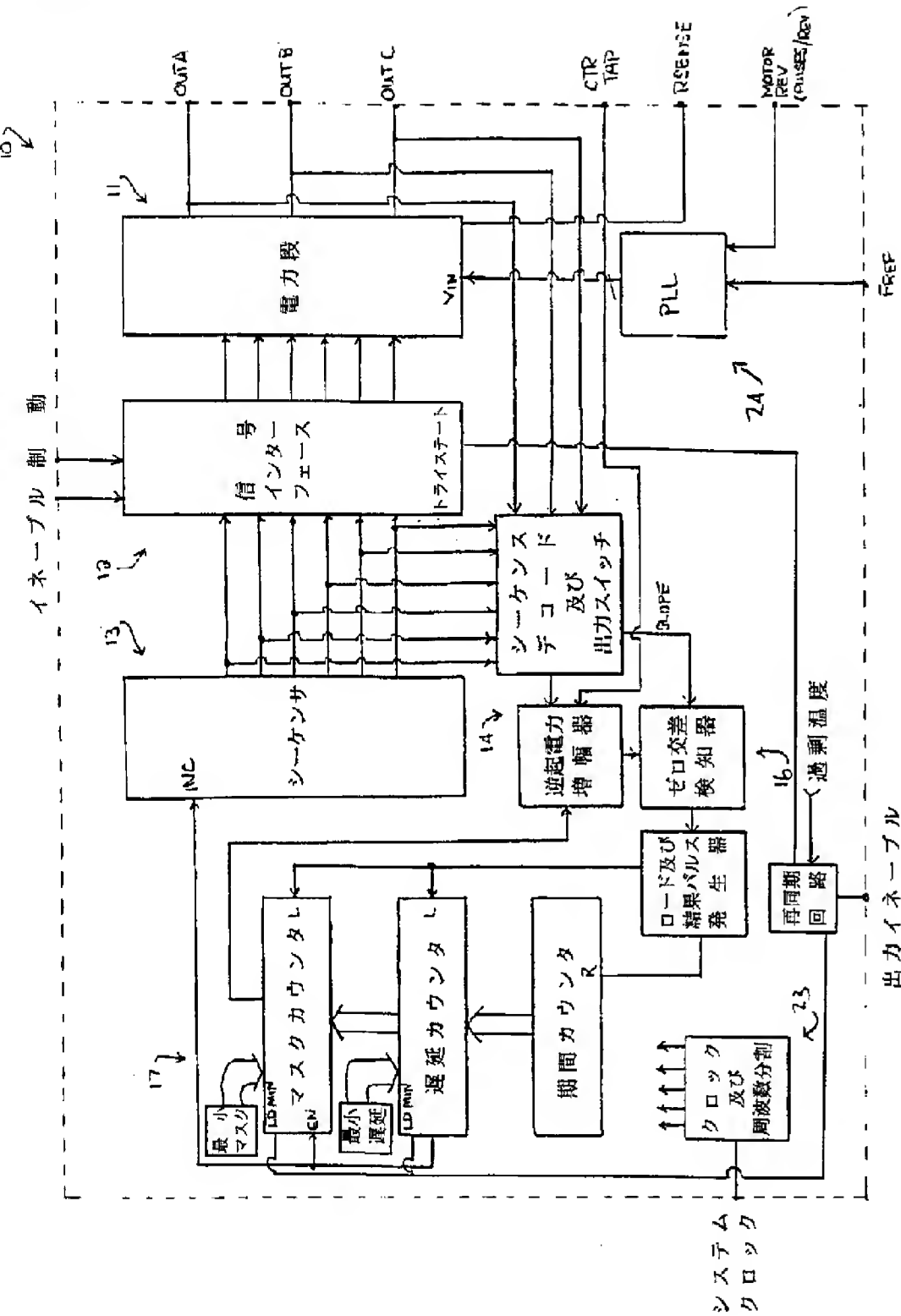
* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

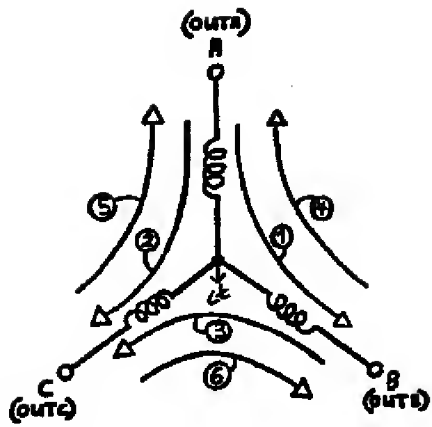
[Drawing 1]



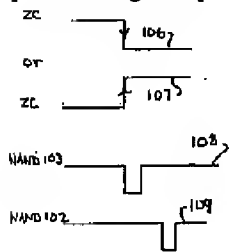
[Drawing 2]



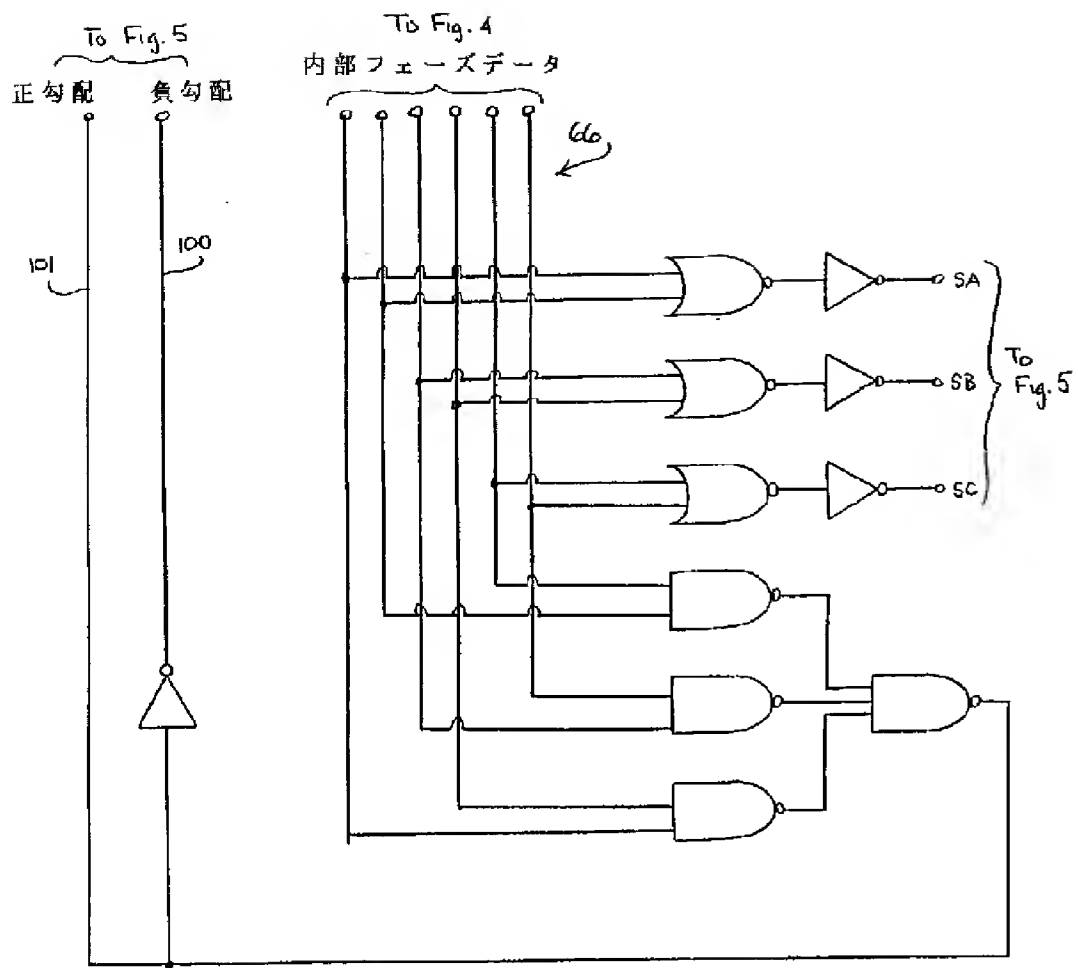
[Drawing 3]



[Drawing 5 a]



[Drawing 6]



[Drawing 4]

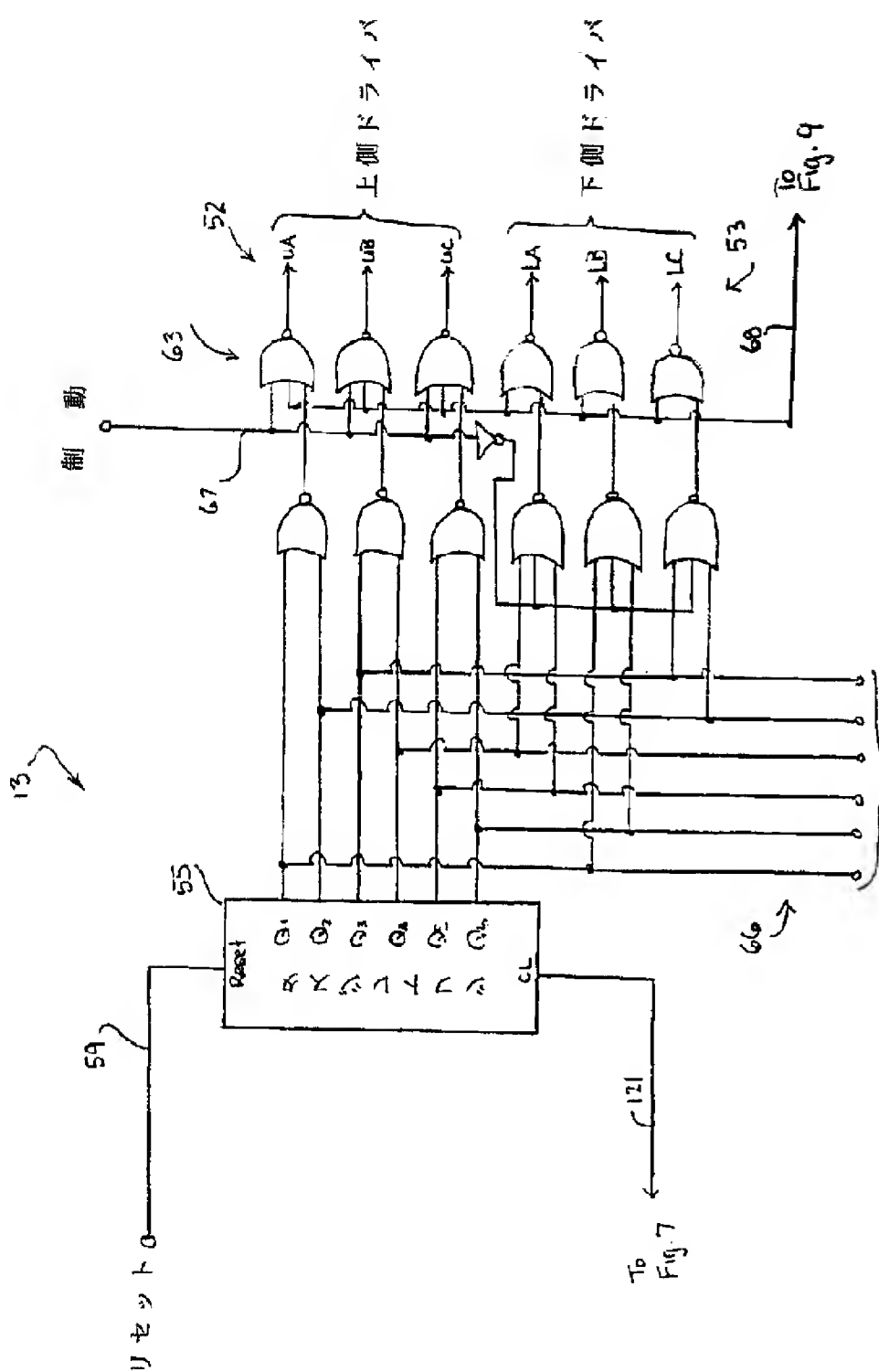
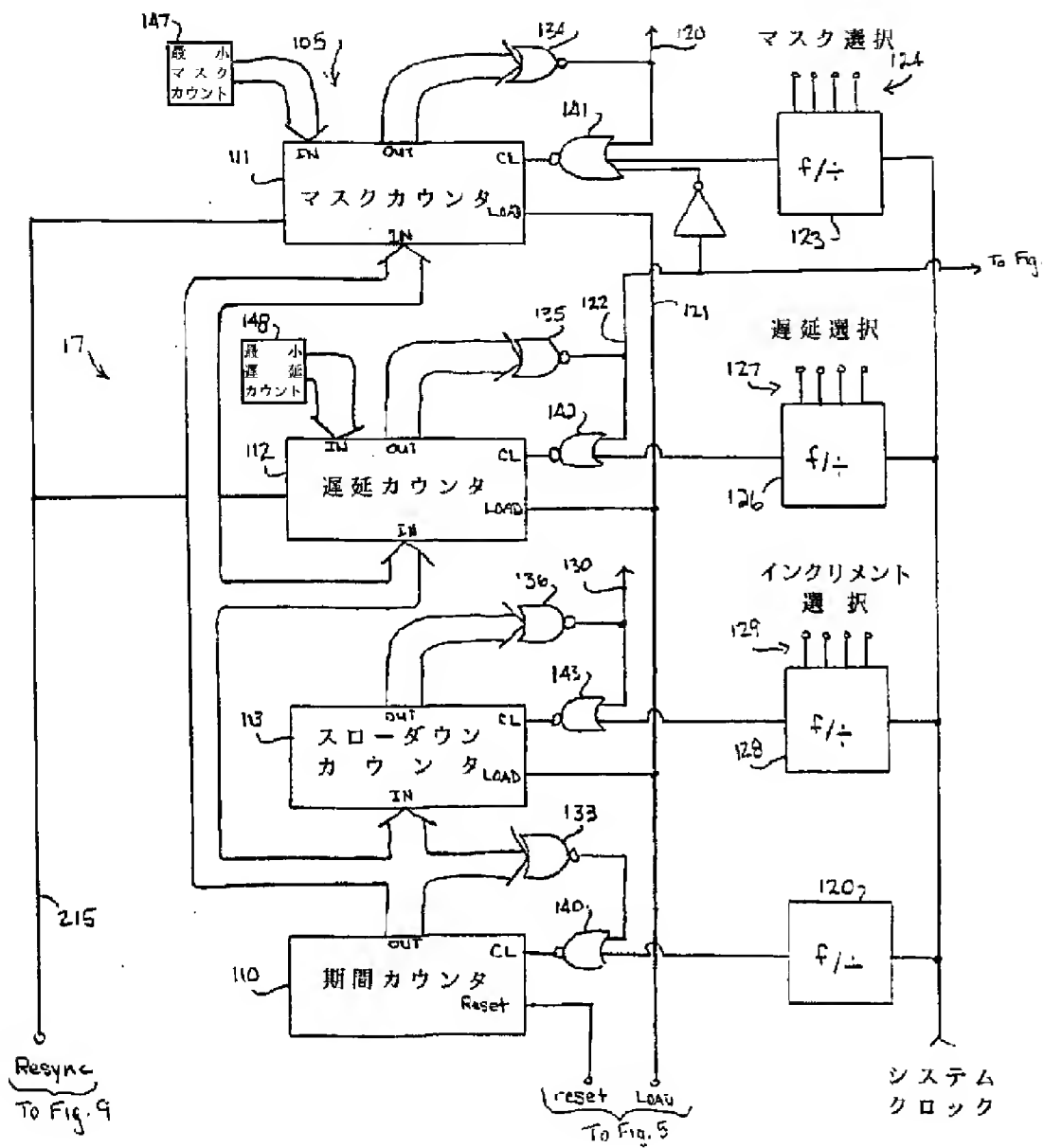
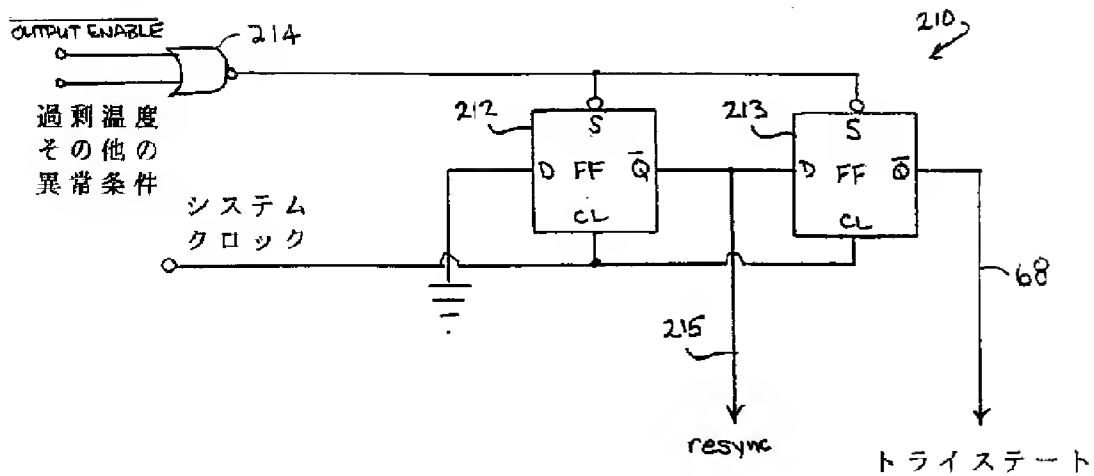


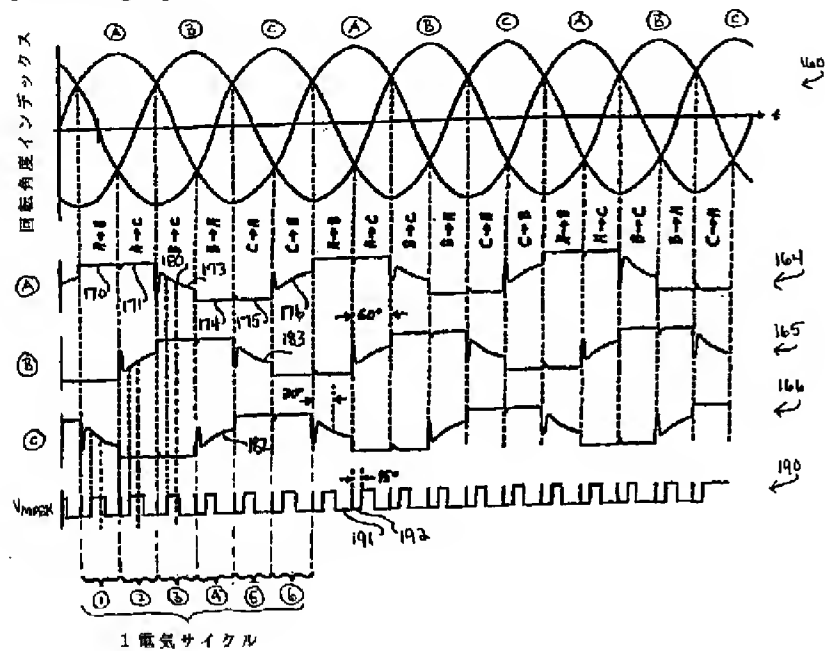
Fig. 6 への内部フェーズデータ



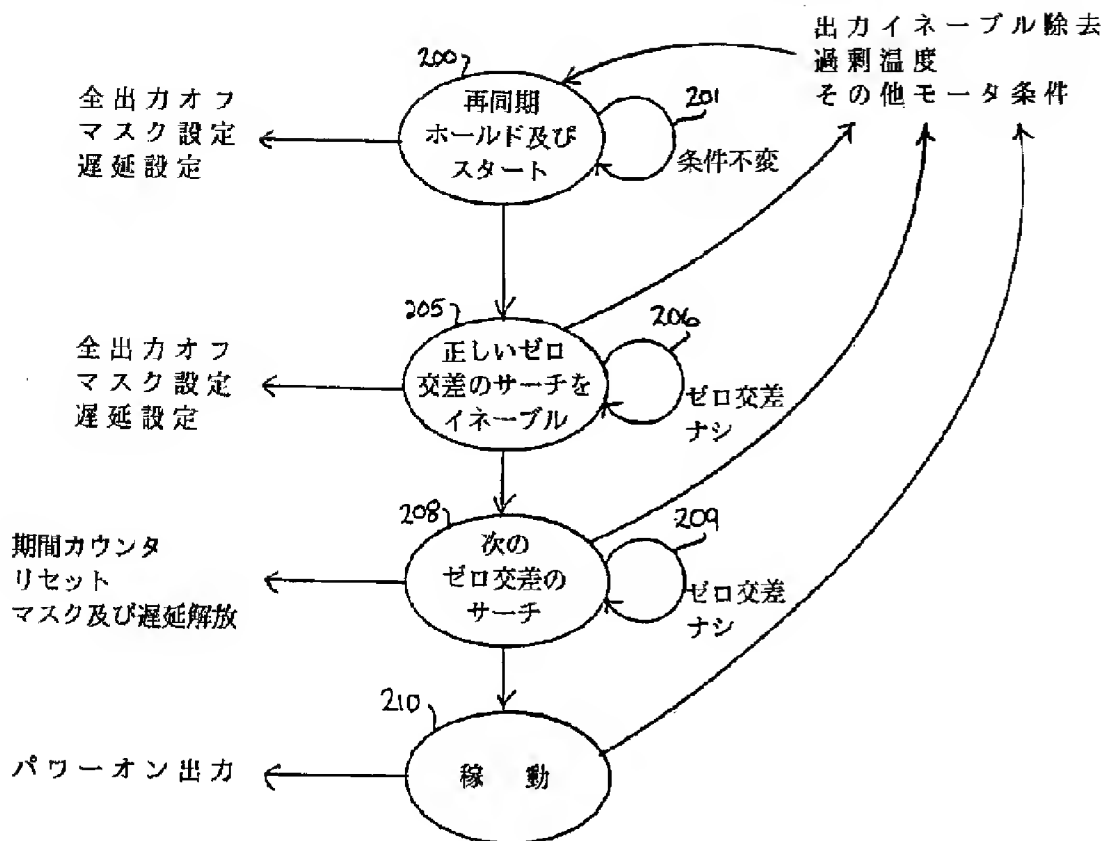
[Drawing 9]



[Drawing 8]



[Drawing 10]



[Translation done.]

特開平5-268791

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl.⁵

H 0 2 P 6/02

識別記号

3 7 1 T

庁内整理番号

8527-5H

F I

技術表示箇所

審査請求 未請求 請求項の数22(全 20 頁)

(21) 出願番号 特願平4-272008

(22) 出願日 平成4年(1992)10月9日

(31) 優先権主張番号 7 7 3 7 2 5

(32) 優先日 1991年10月9日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006,
カーロルトン, エレクトロニクス ドライブ 1310

(74) 代理人 弁理士 小橋 一男 (外1名)

最終頁に続く

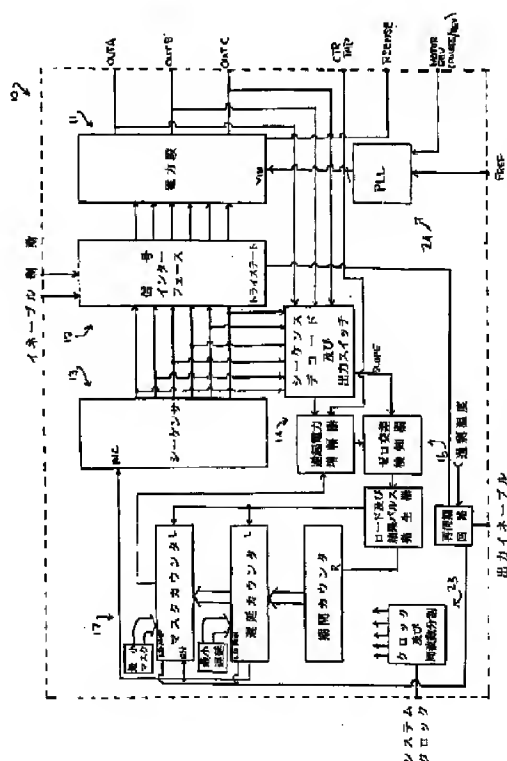
(54) 【発明の名称】 多相DCモータの運動するロータを再同期させる方法及び装置

(57) 【要約】 (修正有)

【目的】 モータドライバの駆動信号を多相DCモータのロータに対し再同期させる装置及び方法を提供する。

【構成】 回転ロータとY接続型ステータコイルとを有する多相DCモータのロータを再同期させる回路をもったモータドライバ10は、ロータの実際の瞬間的位置を決定する回路と、所望のコミュテーション(整流)シーケンスを実行する前に所望のロータ位置を決定する回路とを有している。出力インペール信号、過剰温度表示信号、モータ又はドライバ回路の異常動作条件を表わすその他の任意の信号などの所定の再同期信号に応答して、

(1) 駆動コイルへの駆動信号を禁止し、(2) ロータの位置を所望のコミュテーションシーケンスに対し同期させるための再同期ルーチンを開始させ、且つ(3) モータのロータの位置が所望のコミュテーションシーケンスと同期された後に駆動信号をコイルへ再印加する回路が設けられている。



【特許請求の範囲】

【請求項1】 複数の駆動コイルと可動ロータを持った多相DCモータ動作回路において、前記ロータの実際の瞬間的位置を決定する回路が設けられており、所望のコミューテーションシーケンスを実行する前に所望のロータ位置を決定する回路が設けられており、前記ロータの実際の瞬間的位置を決定する回路が前記ロータがその所望のロータ位置に実際にあることを検知する場合に前記所望のコミューテーションシーケンスを実行する回路が設けられており、所定の再同期信号に応答して前記駆動コイルへの駆動信号を禁止し前記ロータの位置を前記所望のコミューテーションシーケンスに対して同期させる再同期ルーチンを初期化させ且つ前記モータのロータの位置が前記所望のコミューテーションシーケンスと同期された後に前記コイルへ駆動信号を再度印加する回路が設けられていることを特徴とする多相DCモータ動作回路。

【請求項2】 請求項1において、前記モータのロータの実際の瞬間的位置を決定する回路が、前記所望のコミューテーションシーケンスの前に少なくとも1個のコイルの逆起電力を受取る回路と、前記逆起電力を受取る回路により受取られた逆起電力が何時所定の方向からゼロを交差するかを決定する回路とを有することを特徴とする多相DCモータ動作回路。

【請求項3】 請求項2において、更に、前記逆起電力がゼロを交差した後所定の時間の間前記逆起電力を受取る回路によって受取られた逆起電力が何時ゼロを交差するかを決定する回路を禁止させるマスク回路が設けられていることを特徴とする多相DCモータ動作回路。

【請求項4】 請求項3において、前記マスク回路が、アップカウンタ及び第一及び第二ダウンカウンタ、前記アップカウンタ及びダウンカウンタをクロック動作すべく接続されたクロックパルス源、前記第一ダウンカウンタが所定のカウンタに到達するまで前記第二ダウンカウンタへのクロックパルスを禁止する手段、前記ゼロ交差検知器がゼロ交差を検知する時に動作可能となり前記アップカウンタからのカウンタを前記第一及び第二ダウンカウンタ内へロードし次いで前記アップカウンタをリセットする手段、を有しており、前記第一カウンタがコミューテーション遅延期間を決定し且つ前記第二カウンタがマスク期間を決定することを特徴とする多相DCモータ動作回路。

【請求項5】 請求項4において、更に、前記第一ダウンカウンタが前記所定のカウンタに到達することに応答して所望のコミューテーションシーケンスを実行する前に前記所望のロータ位置を決定する回路を前進させて別の所望のコミューテーションシーケンスを実行する前に別の所望のロータ位置へ前進させる回路が設けられていることを特徴とする多相DCモータ動作回路。

【請求項6】 請求項5において、更に、前記再同期信号に応答して動作可能状態となり前記期間カウンタの代

わりに前記第二ダウンカウンタ内に最小マスクカウントをロードし且つ前記第一ダウンカウンタ内に最小遅延カウントをロードする手段が設けられていることを特徴とする多相DCモータ動作回路。

【請求項7】 請求項6において、前記最小マスクカウントが約500ナノ秒と約10マイクロ秒との間のマスク時間を発生させることを特徴とする多相DCモータ動作回路。

【請求項8】 請求項1において、前記所定の再同期信号が出力イネーブル信号であることを特徴とする多相DCモータ動作回路。

【請求項9】 請求項1において、前記所定の再同期信号が過剰温度を表わす信号であることを特徴とする多相DCモータ動作回路。

【請求項10】 複数の駆動コイルと可動ロータとを有する三相DCブラシレス且つセンサレスモータの動作回路において、前記駆動コイルを付勢させるためのコミューテーション信号シーケンスを発生させるシーケンサ回路が設けられており、前記複数の駆動回路のうちのどれが各コミューテーション信号シーケンスに対して付勢されるかを決定する選択回路が設けられており、逆起電力増幅器が設けられており、前記駆動コイルが現在のコミューテーション信号シーケンスにより付勢されるべきでないことが前記選択回路により決定される場合に前記逆起電力増幅器を前記駆動コイルへ接続させる回路が設けられており、前記現在のコミューテーション信号シーケンスにより決定される電圧方向から前記逆起電力増幅器の出力がゼロを交差する時を検出する回路が設けられており、再同期信号に応答し前記駆動コイルへの駆動信号を禁止し且つ前記可動ロータの位置を前記コミューテーション信号シーケンスへ同期させる回路が設けられており、前記ロータの位置が同期された後に前記コミューテーション信号シーケンスに従って前記駆動コイルを付勢する回路が設けられていることを特徴とする動作回路。

【請求項11】 請求項10において、前記再同期信号に応答して前記駆動コイルへの駆動信号を禁止し且つ前記可動ロータの位置を前記コミューテーション信号シーケンスへ同期させる回路が、第一段及び第二段を具備するシフトレジスタと前記シフトレジスタ内のデータをクロック動作させるべく接続されたクロックとを有しており、前記第一段及び第二段からの出力を有する前記シフトレジスタは前記同期信号が第一状態にある場合に通常の前記モータ動作を可能とさせ、前記シフトレジスタは、前記同期信号による状態変化に応答して前記第一段からの出力を発生して前記コイルからの駆動信号を取除き且つ前記第二段からの出力を発生して再同期シーケンスを開始させるべく接続されており、前記シフトレジスタは、更に、前記同期信号が前記第一状態へ復帰することに応答して、第一クロックサイクル期間中に前記第二段からの信号を発生させて前記再同期シーケンス信号を完成し

且つその後のクロックサイクル期間中に前記第一段からの信号を発生させて前記コイルへの駆動信号を回復させるべく接続されていることを特徴とする動作回路。

【請求項12】 請求項11において、前記再同期信号が出力イネーブル信号であることを特徴とする回路。

【請求項13】 請求項11において、前記再同期信号が過剰温度を表わす信号であることを特徴とする動作回路。

【請求項14】 請求項11において、更に、前記コイルのコミュテーションの後所定時間の間、前記逆起電力を受取る回路によって受取られる逆起電力が何時ゼロを交差するかを決定する回路を禁止するマスク回路が設けられていることを特徴とする動作回路。

【請求項15】 請求項14において、前記マスク回路が、アップカウンタ及び第一及び第二ダウンカウンタ、前記アップカウンタ及びダウンカウンタをクロック動作すべく接続されたクロックパルス源、前記第一ダウンカウンタが所定のカウンタに到達するまで前記第二ダウンカウンタへのクロックパルスを禁止する手段、前記ゼロ交差検知器がゼロ交差を検知する場合に動作可能状態となり前記アップカウンタからのカウンタを前記第一及び第二ダウンカウンタ内にロードし次いで前記アップカウンタをリセットする手段、を有しており、前記第一カウンタはゼロ交差が検知された後でコイルコミュテーション前の遅延期間を決定し、且つ前記第二カウンタはコミュテーションノイズをマスクするためのマスク期間を決定することを特徴とする動作回路。

【請求項16】 請求項15において、更に、前記第一ダウンカウンタが前記所定のカウンタに到達することに応答して所望のコミュテーションシーケンスを実行する前に前記所望のロータ位置を決定する回路を前進させる回路が設けられていることを特徴とする動作回路。

【請求項17】 請求項16において、更に、前記再同期信号に応答して動作可能状態となり前記期間カウンタの代わりに前記第二ダウンカウンタ内に最小マスクカウンタをロードし且つ前記第一ダウンカウンタ内に最小遅延カウンタをロードする手段が設けられていることを特徴とする動作回路。

【請求項18】 請求項17において、前記最小マスクカウンタが約500ナノ秒と約10マイクロ秒との間のマスク時間を発生することを特徴とする動作回路。

【請求項19】 複数の駆動コイルと可動ロータとを有する多相DCモータの動作方法において、前記ロータの実際の瞬間的位置を決定し、所望のコミュテーションシーケンスを実行する前に所望のロータ位置を決定し、前記ロータの実際の瞬間的位置を決定する回路が前記ロータが実際に前記所望のロータ位置にあることを検知する場合に前記所望のコミュテーションシーケンスを実行し、所望の再同期信号に応答して前記駆動コイルへの駆動信号を禁止し、前記ロータの位置を前記所望のコミュ

テーションシーケンスに対して同期させるために再同期ルーチンを開始させ、前記モータのロータの位置が前記所望のコミュテーションシーケンスと同期された後に前記コイルへ駆動信号を再度印加する、上記各ステップを有することを特徴とする方法

【請求項20】 請求項19において、前記モータのロータの実際の瞬間的位置を決定するステップが、前記所望のコミュテーションシーケンスの前に少なくとも1個のコイルの逆起電力を受取る回路を用意し、前記逆起電力を受取る回路によって受取られた逆起電力が何時所定の方向からゼロを交差するかを決定することを特徴とする方法。

【請求項21】 請求項20において、更に、前記逆起電力が何時次にゼロを交差するかを決定するステップを禁止するためにコイルコミュテーションの後の所定の時間の間マスクを形成することを特徴とする方法。

【請求項22】 請求項20において、更に、前記再同期信号に応答して、駆動信号を前記コイルへ印加した場合にモータ動作のために必要とされるマスク時間よりも著しく小さな時間のマスク遅延時間を確立することを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多相モータを駆動する回路及び方法における改良に関するものであって、更に詳細には、多相DCモータを駆動する回路における改良に関するものであって、且つ、更に詳細には、選択されなかった即ちフローティング状態にあるロータコイルのゼロ電圧交差情報を使用してモータドライバのコミュテーション（整流）シーケンスを多相DCモータの回転するロータに再同期させる方法及び装置に関するものである。

【0002】

【従来の技術】本発明は、大略、多相DCモータに関するものであるが、それは、例えば、ハードディスクドライブ、CD-ROMドライブ、フロッピーディスクなどを包含するコンピュータ関連の適用例において見出されるような回転するデータ媒体に対して使用されるブラシレス及びセンサーレス（センサーなし）タイプのモータを包含する三相DCモータに関連して特定の適用例が存在している。コンピュータ適用例においては、三相のブラシレスでセンサーレスのDCモータは、それらの信頼性が高く軽量であり且つ精度が高いために増々広く使用されつつある。

【0003】このタイプのモータは、典型的に、Y形態に接続した3個のコイルを有するステータを具備するものとして考えることが可能であるが、実際には、多数のステータコイルは通常多相モータ磁極と共に使用されている。典型的に、このような適用例においては、12個のステータ巻線と4個のN-S磁極の組とをロータ上に

する8極モータが使用され、その結果ロータの回転当たり4個の電気的サイクルが使用される。しかしながら、ステータコイルは各々が物理的に90度ずつ離隔された4個のコイルからなる三つの組の形態に接続された3個のY接続型コイルの形態で解析することが可能である。動作について説明すると、該コイルはシーケンス毎に付勢され、その各シーケンスにおいて、Y接続されたもののうち二つのコイルを介して電流経路が確立され、残りの3番目のコイルはフローティング状態とされる。該シーケンスは、電流経路が変化されるか又はコミュテート即ち整流動作されると、該電流経路を構成するコイルのうち的一方がフローティング状態へスイッチされ、且つ前にフローティング状態にあったコイルが電流経路内へスイッチされるように構成されている。更に、そのシーケンスは、フローティングコイルが電流経路内へスイッチされる場合に、その前の電流経路内に包含されていたコイル内におけるものと同一の方向に電流が流れるように構成されている。この様に、三相モータにおける各電気的サイクルに対し6個のコミュテーション（整流）シーケンスが定義されている。

【0004】従来、この様な多相DCモータの動作期間中、ロータの既知の位置を維持することが重要な関心事であることが認識されていた。このことを実現する種々の方法が存在していた。最も広く使用されている方法は、例えば、モータを既知の位置においてスタートさせ、次いでロータの瞬間的な即ち現在位置に関連した情報を発生させることであった。この様な瞬間的な位置情報の一つの供給源がコミュテーションプロセスの一部として開発され、且つフローティングコイルを識別し、且つ逆起電力、即ちそれがステータにより与えられる磁界を介して移動する場合に該コイル内に誘起される起電力をモニタすることを包含している。

【0005】フローティングコイルの電圧がゼロを交差すると（当該技術分野においては「ゼロ交差」と呼称される）、ロータの位置が既知であると仮定される。このイベントが発生すると、ロータコイルコミュテーションシーケンスが次のフェーズヘインクリメントされ、且つそのプロセスが繰返し行なわれる。ゼロ交差がロータ位置を正確に表わしているという仮定は、もしもモータが適切に機能しており、且つそのその既知の開始位置からの同期を乱すような事象が発生しなかった場合には一般的に成立する。しかしながら、現実的には、その様なイベントが発生しそのことがしばしば同期を喪失させることがあった。この様な同期の喪失は、例えば、ディスクの回転が物理的なバンプにより、又は粘着性のモータ軸受により、又はディスク担持体における摩擦損失などによりディスクの回転が中断されることがあった。又、この様に同期が喪失すると、それを回復することは不可能であった。

【0006】この様な同期を喪失することの可能性は、

従来使用されていたモータをデリケートで且つ障害を発生しやすいものとしており、且つこのような同期から外れる状態を発生することがあるようなことを回避するために始動アルゴリズム及び稼動条件が精密に制御されることを確保するために多大な注意を払うことが必要であった。

【0007】

【発明が解決しようとする課題】従って、本発明の目的とするところは、モータドライバ回路の駆動信号を多相DCモータの回転するロータに対して再同期させる改良した装置及び方法を提供することである。

【0008】本発明の別の目的とするところは、三相DCモータ、特に例えばハードディスクドライブ、CDROMドライブ、フロッピーディスクなどを包含するコンピュータ関連適用例において見出されるようなデータ媒体を回転するために使用されるブラシレス、センサレスタイプの三相DCモータを駆動するために有用な改良した装置及び方法を提供することである。

【0009】本発明の更に別の目的とするところは、ロータの位置の検知における不明確性を取除くためにゼロ交差の方向を表わす情報に関連してフローティングコイルの電圧のゼロ交差を使用する改良した装置及び方法を提供することである。

【0010】本発明の更に別の目的とするところは、ロータ位置がロータコミュテーション回路のシーケンスとの同期がずれた場合の条件から回復することを可能とする改良した装置及び方法を提供することである。

【0011】本発明の更に別の目的とするところは、ロータの位置の検知においてコミュテーション及びスイッチングノイズが誤ったゼロ交差を発生することを防止する手段を与える改良した装置及び方法を提供することである。

【0012】

【課題を解決するための手段】本発明の好適実施形態によれば、回転ロータと複数個のY型接続したステータコイルとを有するタイプの多相DCモータ動作回路が提供され、該動作回路は、ロータの実際の瞬間的位置を決定する回路と、所望のコミュテーション（整流）シーケンスを実行する前に所望のロータ位置を決定する回路とを有している。ロータの実際の瞬間的位置を決定する回路がロータが実際にその所望のロータ位置にあることを検知する場合に所望のコミュテーションシーケンスを実行する回路が設けられており、且つ所定の再同期信号にตอบสนองして、駆動コイルへの駆動信号を禁止し、所望のコミュテーションシーケンスに対しロータの位置を同期させるために再同期ルーチンを開始させ、且つモータのロータの位置が所望のコミュテーションシーケンスと同期された後に再度駆動信号を該コイルへ印加する回路が設けられている。

【0013】モータのロータの実際の瞬間的位置を決定

7

する回路は、所望のコミューテーションシーケンスの前に少なくとも1個のコイルの逆起電力を受取る回路を有すると共に、逆起電力を受取る回路により受取られた逆起電力が何時所定方向からゼロを交差するかを決定する回路を有している。逆起電力が所定方向からゼロをクロスした後に、コミューテーション即ち整流を開始させ、且つ、更に、マスク回路をイネーブルさせて逆起電力回路が前記コミューテーションの後所定の時間に亘り逆起電力を受取る回路により受取られた逆起電力が何時ゼロを交差するかを決定することを禁止させるための遅延を測定する回路が設けられている。

【0014】該遅延・マスク回路は、アップカウンタ及び第一及び第二ダウンカウンタ、該アップカウンタ及びダウンカウンタをクロック動作すべく接続されたクロックパルス源、第一ダウンカウンタが所定のカウンタに到達するまで第二ダウンカウンタへのクロックパルスを禁止する手段、及びゼロ交差検知器がゼロ交差を検知すると動作状態となりアップカウンタからカウンタを第一及び第二カウンタへロードし次いでアップカウンタをリセットする手段を有している。第一カウンタはコミューテーション即ち整流前の遅延期間を決定し、且つ第二カウンタはノイズマスク期間を決定する。

【0015】出力イネーブル信号とすることが可能な「再同期」信号、過剰温度を表わす信号、モータ又はドライバ回路の異常な動作状態を表わすその他の任意の信号などに応答して、通常の動作条件下においてロードされる期間カウンタの代わりに、第二ダウンカウンタ内に最小マスクカウンタがロードされ、且つ第一ダウンカウンタ内に最小遅延カウンタがロードされる。この最小マスクカウンタは約500ナノ秒と約10マイクロ秒との間のマスク時間を発生する。

【0016】本発明の更に別の広義の側面によれば、回転ロータと複数個の駆動コイルとを有する多相DCモータの動作方法が提供される。本方法は、ロータの実際の瞬間的位置を決定するステップと、所望のコミューテーションシーケンスを実行する前に所望のロータ位置を決定するステップと、ロータが実際に所望のロータ位置にあることをロータの実際の瞬間的位置を決定する回路が検知する場合に所望のコミューテーションシーケンスを実行するステップを有している。所定の再同期信号に応答して、駆動コイルへの駆動信号が禁止され、且つロータ位置を所望のコミューテーションシーケンスに対して同期させるための再同期ルーチンが開始される。モータのロータ位置が所望のコミューテーションシーケンスと同期された後に、駆動信号が再度該コイルへ印加される。

【0017】モータのロータの実際の瞬間的位置を決定するステップは、所望のコミューテーションシーケンス前に少なくとも1個のコイルの逆起電力を受取る回路を用意し、且つ逆起電力を受取る回路により受取られた逆起電力が何時所定方向からゼロを交差するかを決定する

8

ことにより実施される。逆起電力がゼロ交差した後所定の時間に亘り遅延が与えられ、その後にコミューテーション即ち整流動作が実施される。コミューテーションが行なわれると、次に逆起電力が何時ゼロを交差するかを決定するステップを禁止するためのマスクが与えられる。再同期信号に応答して、マスク遅延時間が確立され、それは駆動信号がコイルへ印加される場合の通常のモータ動作の場合に必要なとされるマスク時間よりも著しく短いものである。

10 【0018】

【実施例】本発明の好適実施例に基づく装置及び方法を組込むことの可能なモータコントローラ10の電氣的概略図の一部を図1に示してある。このモータコントローラ10は例えばコンピュータのハードディスクドライブ、CDROMドライブ、フロッピーディスクドライブなどのシステムにおける磁気ディスク又はその他のディスクを回転させるために使用する三相DCブラシレススピンドルモータのステータコイルへ接続すべく適合された単一の半導体チップ上に組込む。この様な三相モータは、好適には、Y型接続したステータ巻線を有するものであるが、この様なY型形態の巻線接続は必ずしも必要なものではない。従って、これらの巻線は、以下に詳細に説明する如く、出力端子OUT A、OUT B、OUT C、CTR TAPへ接続させることが可能である。注意すべきことであるが、本発明の好適実施例を特に三相モータに関して説明するが、本発明の原理は一般的に多相モータに等しく適用することが可能なものである。

【0019】駆動電圧が図2に関して以下に説明する如く構成することが可能な電力段11により出力端子OUT A、OUT B、OUT Cへ供給される。パワー段11はシーケンス動作されて図4に関して以下に説明するシーケンサ回路13により出力端子OUT A、OUT B、OUT Cへシーケンシャル制御出力信号を供給し、且つ信号インターフェース回路12がシーケンサ回路13からの出力信号を電力段11へ供給し、且つ例えば制動及びその他のイネーブル機能などのその他の機能をイネーブルさせる。シーケンサ13は、更に、本コントローラ回路のその他の回路へ駆動信号を供給して、回路10により駆動されるモータの回転の種々の側面を制御する。

【0020】出力端子OUT A、OUT B、OUT Cは、更に、スイッチ可能に逆起電力センサアンプ14へ接続され、尚該センサアンプの詳細については以下に図5を参照して説明する。この逆起電力センサアンプ14は以下に図5を参照して説明するゼロ交差検知器回路16へ信号を供給し、それは以下に図7を参照して説明するデジタル遅延回路17へ入力信号を供給する。デ

デジタル遅延回路17の出力は以下に詳細に説明する態様でシーケンサ13の動作を制御する。モータコントローラ回路10は、システムクロック回路23、フェーズロックスループ(PLL)周波数/位相検知器回路24を有しており、且つ例えばモータのパルス幅変調動作をサポートする回路、停止した条件からモータを始動することを容易とさせるための「アライン・アンド・ゴー(align and go)」始動回路、外部マイクロプロセッサ(不図示)によりモータコントローラ回路の制御を容易とさせるためのポート制御論理及び関連するシフトレジスタ回路などの種々のその他の回路(不図示)を有することが可能である。

【0021】モータコントロール回路10の電力段11は図2に示した如く通常トリプル1/2-Hブリッジと呼称される従来のHブリッジ30である。又、Y接続型ステータ巻線32, 33, 34を、モータコントロール回路10の電力段11により供給される駆動電流をスイッチ可能に受取るべく接続した状態で図2に示してある。三つの直列電流経路37, 38, 39がライン40へ印加される供給電圧とライン42上の基準電圧との間に与えられる。各電流経路は、それぞれ、二つのスイッチングトランジスタ44及び45、44'及び45'、44''及び45''を有している。トランジスタ44, 44', 44'', 45, 45', 45''は公知のパワースイッチFETとすることが可能であり、又は所望によりその他のスイッチ装置とすることが可能である。ライン42は外部検知抵抗49(外部的には、図1に示した如く、端子R SENSEへ接続されている)へ接続されており、該検知抵抗49は接地接続されている。

【0022】ステータコイル32, 33, 34の各々の*30

フェーズ	電流が流れる元	電流の流れる先	フローティングコイル
1	A	B	C
2	A	C	B
3	B	C	A
4	B	A	C
5	C	A	B
6	C	B	A

各フェーズに対する電流のスイッチングを行なうための電力段11のドライバトランジスタのスイッチング動作は、図4に示した如く、シーケンサ回路13により達成され、それは上側ドライバ出力端52及び下側ドライバ出力端53へ信号を供給し、表Aに示した如きスイッチングシーケンスを実行する。上側及び下側のドライバ出力端52及び53は図2に示した上側及び下側のドライバ入力ラインへ接続されている。シフトレジスタ55は特定の時間に活性化される特定の上側及び下側出力ラインを決定する。この決定を行なうために、適宜のシーケンスをシフトレジスタ55内にロードし、且つシーケンスにシフトレジスタ55の種々のデータ位置を介し

*一端は共通のセンタータップ36において共通接続されており、それらの他方の端部はスイッチングトランジスタ44-45、44'-45'、44''-45''のそれぞれの対の間のそれぞれのノードOUT A、OUT B、OUT Cへ接続されている。スイッチングトランジスタ44, 45, 44', 45', 44'', 45''の各々は図示した如くその電流経路と並列接続されたフライバックダイオード47, 48; 47', 48'; 47'', 48''を有している。

【0023】動作について説明すると、付勢フェーズ期間中、一つのノード(例えば、ノードA)が上側のスイッチ44の一つにより高状態へ駆動される。一つのノード(例えば、ノードB)が下側のスイッチ45'の一つにより低状態へ駆動され、且つ残りのノード(例えば、ノードC)は両方のスイッチ44''及び45''がオフでフローティング状態とされる。このことは、通常、「A Bフェーズ」と呼称される。次いで、該コイルが、各コミュテーションフェーズにおいて、電流が常に三つのコイルのうちの二つにおいて流れ、且つ3番目のコイルがフローティング状態であり、且つスイッチングの後に、電流が継続して流れ且つ前のフェーズにおいて電流が流れていた二つのコイルのうちの一つにおいて同一の方向に流れるような態様でシーケンス回路13により決定されるコミュテーションシーケンスにおいてスイッチ動作される。更に詳細に説明すると、図3に示した如く、三相モータにおいては、実際には6個の動作上のフェーズが存在している。電流は以下の表Aに示した如くこれらの6個のフェーズのうちの各々において流れる。

【0024】

表A

てシフト動作させることが可能である。例えば、表Aのコミュテーションシーケンスを発生する図示した実施例における一つのデータシーケンスは「110000」である場合があり、それは連続してクロック動作されて出力端Q₁-Q₆に表われる。シフトレジスタ55は、図7に関して以下に詳細に説明する遅延カウンタ112により発生されるクロック信号によってシフトレジスタ55内へ導入されるシステムクロックによりクロック動作される。従って、シフトレジスタ55は動作してその出力端Q₁-Q₆の一つに高状態を提供し、表Aに示したシーケンスに従って対応する上側及び下側のトランジスタをターンオンさせる。

【0025】シーケンス回路13のその他の回路はシフトレジスタ55をリセットすべく動作するリセットライン59を有している。出力端Q₁ - Q₆は、更に、ライン66を介して以下に説明する図6のゼロ電圧交差論理制御回路へ接続されている。所望により、モータ制御回路10の他の箇所において発生される制動信号及び／又は過剰温度表示信号をライン67を介して論理回路63へ印加し、この様な制動信号及び／又は過剰温度条件が存在する場合に上側及び下側ドライバ出力ライン52及び53上のモータへの出力を阻止することが可能である。制動信号はソフトウェアで発生させるか又は外部信号とすることが可能であり、それは全ての下側のドライバをターンオンし且つ全ての上側のドライバをターンオフさせるために印加される。同時に、コイル32、33、34における磁界により発生される渦電流がモータを制動するようにコイル32、33、34の全てが共通的に短絡される。

【0026】従来のコミュテーション技術と異なり、コイル32、33、34の間でのコミュテーション即ち整流動作は、ロータの所望の位置を表わす回路情報に関連してモータのロータの特定の位置を表わす情報に回答して行なわれる。より詳細に説明すると、表Aの次の駆動シーケンスを印加するコミュテーションは、対応するコイルが特定の回転位置に到達すること及びコミュテーションが発生すべき場合にモータがどの位置にあるべきであるかを表わすシーケンサ情報との相関に回答して決定される。ロータの精密な回転位置の決定は、各非駆動即ちフローティング状態にあるコイルにおいてのゼロ交差電圧をモニタすることにより連続的に決定される。より詳細に説明すると、ロータのコミュテーションシーケンス期間中にコイル32、33、34がスイッチ動作されると、フローティングコイルの電圧は図5に示した逆起電力増幅器回路14によりモニタされる。

【0027】逆起電力増幅器回路14は、図2の回路におけるモータドライバ出力端OUT A、OUT B、OUT Cへそれぞれ接続されたスイッチ81、82、83を有しており、出力OUT A、OUT B、OUT

Cのうちの選択した一つを比較器85の非反転入力端へ印加する。比較器85へ印加されるモータドライバ出力OUT A、OUT B、OUT Cの特定のものがコイル32、33、34のうちでフローティング状態となるべきことが予定されているものに対応する（現実にはフローティングしているコイルではない）。本明細書においては、「フローティング」という用語をその瞬間的な電流経路内に存在することのないコイルを表わすものとして使用するが、該コイルは実際的に「フロート」するものではなく、トライステートインピーダンスへ接続されるものである。スイッチ81、82、83は以下に説明する図6の回路により動作され、ちょうど上に説明した如く、フローティング状態となるべきことが予定さ

れたコイルのスイッチング動作を行なう。

【0028】ロータのセンタータップ接続部36（図2参照）は比較器85の反転入力端へ接続されており、従って選択したフローティングコイル上の電圧がセンタータップ電圧よりも大きい場合には、該比較器は選択したフローティングコイル上の電圧のゼロ電圧交差を表わす出力を発生する。（比較器85の入力端へ印加される電圧はいわゆるコイルの「逆起電力」であり、その電圧はモータのステータにより発生されるモータ内の磁界を介して移動する場合に選択したコイル内に発生される電圧である。）比較器85は、ヒステリシスを有するように構成されている。なぜならば、ゼロ交差電圧を超える電圧の発生は比較器85の出力信号が有用なものであることを可能とするのに十分に長い時間継続して存在しない場合があるからである。

【0029】更に図5を参照すると、比較器85からの出力は伝達ゲート89を介してシフトレジスタ88へ供給される。マスクカウンタ111（図7参照）により発生されるマスク信号は伝達ゲート89のイネーブル入力端へ印加され、従って比較器85からの出力はシーケンサ回路13のフェーズコミュテーションに続くマスク期間の期間中、シフトレジスタ88へ印加されることが禁止される。しかしながら、比較器85からの出力信号が伝達ゲート89を通過することがイネーブルされると、それはシフトレジスタ88を構成する4個のD型フリップフロップ90、91、92、93の最初のもののD入力端へ印加される。

【0030】フリップフロップ90、91、92、93の種々の出力端はNANDゲート96、97、98、99を有する出力論理回路95へ供給される。フリップフロップ90、91、92、93の各々は、例えばシステムクロックからのクロック入力を受取り、且つ各々が反転Q出力及び非反転Q出力を発生する。フリップフロップ90、91、92のQ出力はそれぞれの次の段のフリップフロップのD入力端へ印加され、且つ最後の段のフリップフロップ93のQ出力端は出力論理回路95のNANDゲート98へ接続されている。

【0031】フリップフロップ90及び92のQ出力端は上側のNANDゲート96及び97の入力端へそれぞれ接続されており、一方フリップフロップ91及び93のQ出力端はそれぞれ下側のNANDゲート99及び98の入力端へ接続されている。一方、フリップフロップ90及び92の反転Q出力端は下側のNANDゲート99及び98の入力端へそれぞれ接続されており、一方フリップフロップ91及び93の反転Q出力端はそれぞれ上側のNANDゲート96及び97の入力端へ接続されている。

【0032】又、予定される負から正へ移行するゼロ交差勾配に対応する予定勾配ライン100はNANDゲート96及び97の入力端へ接続されており、且つ予定さ

れた正から負へ移行するゼロ交差勾配に対応する予定勾配ライン101はNANDゲート98及び99の入力端へ接続されている。予定されたゼロ交差の方向を表わすライン100及び101上の信号は図6の回路において発生されるフェーズ情報から発生され、それは、図4のシーケンサ回路におけるシフトレジスタ55の出力端から派生される。

【0033】最後に、論理回路95からの出力は出力NANDゲート102及び103へ供給され、該ゲートの出力は特定したフローティングコイルの実際のゼロ交差の検知に応答して発生され、該ゼロ交差は特定した予定した方向における遷移、即ち負から正へ移行するゼロ交差遷移か又は正から負へ移行するゼロ交差遷移の何れかを有している。

【0034】出力NANDゲート102及び103への接続は、上側のNANDゲート96及び下側のNANDゲート99の出力端が出力NANDゲート103の入力端へ接続され、且つ上側のNANDゲート97の出力端及び下側のNANDゲート98の出力端が出力NANDゲート102の入力端へ接続されて確立されている。正の勾配のゼロ交差が予定される場合に信号が発生するライン101は上側のNANDゲート96及び97の入力端へ接続されており、且つ負の勾配のゼロ交差が予定される場合に信号が発生するライン100が下側のNANDゲート98及び99の入力端へ接続されている。従って、上側のNANDゲート96及び97は、予定される正の勾配のゼロ交差の実際の発生に応答し、且つ下側のNANDゲート98及び99は予定される負の勾配のゼロ交差の実際の発生に応答する。正及び負の検知経路の各々に対する四段シフトレジスタ88における段構成とした接続のために、出力NANDゲート102及び103からの出力は、それぞれ、曲線109及び108により図5aに示した如く、時間に関して離隔した二つのパルスであり、尚それらの曲線は正から負へのゼロ交差106又は負から正へのゼロ交差107の何れかから発生する。従って、NANDゲート103の出力端において発生されるパルスは、1クロックサイクルだけ、NANDゲート102の出力端において発生されるパルスに先行する。NANDゲート103の出力は、フェーズコミューテーション即ち位相整流の後の所要のマスク及び遅延時間を測定するカウンタへ「ロード」信号を供給するために使用され、且つNANDゲート102の出力は、期間カウンタへ「リセット」信号を供給するために使用される。

【0035】ライン100及び101上の正及び負の勾配を表わす信号のみならずスイッチ81、82、83用のスイッチング信号を発生する回路を図6に示してあり、次に、それについて説明する。図6の回路は、図4におけるシーケンサシフトレジスタ55からの出力からライン66上に内部フェーズデータを派生させる。ライ

ン66は、それぞれ、左側から右側へかけて、上側及び下側ドライブトランジスタA、上側及び下側ドライブトランジスタB、上側及び下側ドライブトランジスタCへの信号を表わす情報を有している(図2参照)。従って、出力信号SAは、OUT Aにおけるコイルがフローティング状態となるべきことが予定されることを表わしており、SBはOUT Bにおけるコイルがフローティング状態となるべきことが予定されることを表わしており、且つ出力信号SCはOUT Cにおけるコイルがフローティング状態となるべきことが予定されることを表わしている。ライン101及び100上の信号は、同様に、フローティングコイル(即ち、瞬間的にどちらがフローティング状態にあろうとも)が負又は正の方向から逆起電力ゼロ交差を経験することが予定されるか否かを表わす。

【0036】逆起電力増幅器14及び論理回路95が選択されたフローティングコイルのゼロ交差を適切に検知することを助けるために、種々の回路要素の動作において発生されるノイズ、特にスイッチングの後暫くの間リング動作する傾向があるコイルのコミュテーションにより発生されるノイズ及びシーケンサ回路内で発生されるノイズをマスクすることが必要であることが判明した。このマスク機能及び本発明の回路の動作方法によりイネーブルされるその他の回路機能を達成するために、図7の遅延・マスク回路105が設けられている。この遅延・マスク回路105はアップカウンタ110と、3個のダウンカウンタ111、112、113とを有している。アップカウンタ110は、期間カウンタとして作用し、図5を参照して上述したゼロ交差回路により検知される選択されたフローティングコイルの実際のゼロ交差の間の時間に対応してその出力端上にデジタルカウントを供給する。

【0037】アップカウンタ110はシステムクロック周波数を所望の周波数へ分割するクロック周波数分割器120からクロック信号入力を受取り、その選択された周波数はシステムの分解能を決定する。アップカウンタ110は所望のゼロ交差の実際の発生が検知された後に、図5の回路内のNANDゲート102により発生されるリセットパルスによりリセットされる。従って、アップカウンタ110はリセットされた後にカウントを開始し、且つ再度次の実際のゼロ交差の検知によりリセットされるまでカウントを継続する。

【0038】アップカウンタ110の出力は種々のマスク、遅延及び制御機能を行なうダウンカウンタ111、112、113の各々の入力端へ供給される。ダウンカウンタ111は、図4に示したシーケンサ回路13のノイズ及びコミューテーション即ち整流動作にตอบสนองしてコイル32、33、34により発生されるノイズをマスクする機能を有するマスクを決定し、所望のマスクカウントに到達した場合にライン120上に出力を発生する。以

後、ダウンカウンタ111をマスクカウンタ111と呼称する。例えば、ライン120上のマスクカウンタ出力信号は、図5におけるゼロ交差検知器における伝達ゲート89をイネーブルさせるために使用することが可能であり、従ってマスク期間の経過の後ゼロ交差が検知されることはない。マスクカウンタ111はライン121から「LOAD (ロード)」信号を受取り、その「LOAD」信号はNANDゲート102の出力端上にRESET (リセット) パルスが発生する直前に、図5に示したNANDゲート103の出力により発生される。

【0039】更に、マスクカウンタ111は周波数分割器123からクロック信号を受取る。所望により、ドライバ回路10が使用される特定の適用例に対してマスクカウンタの分解能を選択することを可能とするために、周波数分割器123の除数を制御することを可能とするために多数の選択端子124を設けることが可能である。

【0040】従って、動作について説明すると、選択されたフローティングコイルの実際のゼロ交差が図5の回路により検知されると、アップカウンタ110内に存在するカウントがマスクカウンタ111内にロードされる。アップカウンタ110はリセットされて新たな期間カウントを開始し、それは次のゼロ交差が発生するまで継続し、その発生した時に、新たなカウントがマスクカウンタ111内にロードされ、アップカウンタ110がリセットされ、且つそのプロセスが繰返し行なわれる。従って、理解される如く、マスクカウンタ111により決定される実際のマスク時間は、モータの回転速度に依存して変化するものである。(しかしながら、回転角度の値の百分率は一定のままである。)同様の態様で、ダウンカウンタ112は、コイルが次のフェーズへスイッチされ即ちコミュテーション(整流動作)される前に、ゼロ交差を検知した後の遅延に対応する時間をカウントすべく作用する。ダウンカウンタ112は、以後、遅延カウンタ112と呼称する。遅延カウンタ112は周波数分割器126から分割されたクロック周波数を受取り、該周波数分割器の除数は、適宜の信号を選択ライン127の一つへ印加することにより選択することが可能である。ロード機能及びカウント機能の動作は、基本的には、上述したマスクカウンタ111の動作と同一である。しかしながら、注意すべきことであるが、ライン122上の出力により表わされる遅延カウンタ112によって計算された時間は、マスクカウンタ111により計算された時間よりも実質的に長いものである。

【0041】ライン122上の遅延カウンタ112の反転出力が、NANDゲート141によりマスクカウンタ111のクロック入力端へ印加され、尚該ゲートに対しては、周波数分割器123からのクロックパルスも印加される。従って、ライン122上の信号は、遅延カウンタ112による遅延カウントの完了の後まで、マスクカ

ウンタ111へのクロックパルスの印加を禁止する。マスクカウンタ111及び遅延カウンタ112のカウントは、シーケンシャル即ち逐次的なものであって、マスクカウンタ111のマスクカウントは遅延カウンタ112の遅延カウントの完了の後に続く。

【0042】図7のマスク回路105はフローティングロータコイルの予測されたものではなく実際のゼロ交差信号に基づいて動作するので、それは従来不可能であった多くのモータ制御機能を行なうことを可能としている。例えば、ロータのコミュテーション即ち整流動作を、予定されたフローティングコイルの実際のゼロ交差が発生した後に計算される遅延に基づくものとするのが可能である。従って、例えば、出力ライン122上の遅延カウンタ112の出力を使用してコイルのコミュテーション即ち整流動作を開始させることが可能である。従って、マスクカウンタ111もそのカウントを開始させるためには遅延カウンタの出力信号に依存するものであるから、シーケンサ回路13及びコイルにより発生されるスイッチング過渡状態からのスイッチングノイズをマスクすることが可能であり、従ってスイッチングノイズにより発生される偶発的なゼロ交差は選択されたフローティングコイルの実際のゼロ交差として解釈されることはない。

【0043】更に、その他のモータ制御機能を容易に達成することが可能である。例えば、例えば上述したダウンカウンタ113の如き付加的なダウンカウンタが、例えば速度低下決定などの有用な機能を与えることが可能である。ダウンカウンタ113は、以後、スローダウン(速度低下)カウンタ113と呼称する。スローダウンカウンタ113は、マスクカウンタ111及び遅延カウンタ112と同一の態様で動作し、周波数分割器128によるシステムクロック周波数からの周波数分割されたクロック信号を受取る。所望により、選択入力ライン129を設けて、周波数分割器を特定のモータドライバ適用例に対して選択することが可能であるようにすることが可能である。ダウンカウンタがコミュテーション即ち整流動作されるフローティングコイルの実際のゼロ交差の間の時間よりも長いようにスローダウンカウンタ113へ印加されるクロック周波数を適切に選択することにより、ライン130上の出力信号が状態を変化して、スローダウンカウンタ113がそのカウントを完了したことを表わす場合には、その信号をモータがスローダウン即ち速度低下していることを表わすものとして使用することが可能である。即ち、出力ライン130上に信号が表われると、それは、カウントされた期間が該カウンタ内にロードされた前の期間よりも長いことを表わしており、そのことはモータがスローダウン即ち速度低下したことを表わしている。

【0044】カウンタ110、111、112、113の全てに対して、NANDゲート133、134、13

5, 136が設けられており、それらのゲートに対して、それぞれのカウンタの出力が結合されて出力を供給し、その出力はNANDゲート140, 141, 142, 143によりそれぞれのクロック信号と結合される。従って、カウンタ110, 111, 112又は113の何れかのカウンタは、その最大のアップカウント又はダウンカウントに到達することが許容されるに過ぎず、且つそのカウンタは停止され、従って該カウンタはリサイクルして新たなカウントを開始することはない。

【0045】図7の回路が上に図4に関して説明したフェーズシーケンサと非同期状態となっている場合のある回転モータと再同期することを可能とするために、最小マスクカウントを与える回路147及びマスクカウンタ111及び遅延カウンタ112へ最小遅延カウントを与える回路148が設けられている。更に、マスクカウンタ111及び遅延カウンタ112は、図9を参照して以下に説明する再同期回路210から発生されるライン215上の「resync」信号を受取る。マスクカウンタ111及び遅延カウンタ112は、ライン215上にresync（再同期）信号が存在する場合に動作して、最小マスクカウント回路147内に存在する最小マスクカウント及び最小遅延カウント回路148内に存在する最小遅延カウントを、それぞれ、遅延回路17の通常の動作と対照的に、期間カウンタ110の内容の代わりに、マスクカウンタ111及び遅延カウンタ112内へロードさせる。

【0046】次に、図8に示した如く、回路の種々の部分において発生される波形を参照して回路10の動作について説明する。各コイルに対する回転角度インデックス曲線160が基準のためにこれらの波形の上部に示してある。各正弦波形は、コイル32-A、コイル33-B、コイル34-Cの各コイルが接続されるノードに対応して記号が付けられている。回転角度曲線160の下側には、特定した回転位置において発生する対応するコミュテーションシーケンスが示されている。

【0047】次の三つの曲線164, 165, 166は、それぞれ駆動されるコイルA, B, Cの電圧を示している。理解される如く、図8の曲線の底部において示した一つの電気サイクルに対して、各コイルは、それが正電圧を有する二つのシーケンスと、それが負の電圧を有する二つのシーケンスと、それがフロート状態となる二つのシーケンスとを有している。例えば、コイルA上の電圧を表わす曲線を参照すると、コイルAからコイルBへ及びコイルAからコイルCへそれぞれ電流が流れるシーケンス1及び2の最初の二つの電圧170及び171は正である。シーケンス3においてコイルAがフロートする期間中は、電圧173は正から負へ変化する。電流が、それぞれ、コイルBからコイルAへ、及びコイルCからコイルAへ流れる期間中であるシーケンス4及び5の次の二つの電圧174及び175は負である。最後

に、コイルAが再度シーケンス6期間中にフロート状態となると、電圧176は負から正へ変化する。他のコイルB及びCは、同様の電圧曲線を有しており、各々は互いに120度変位されている。

【0048】理解される如く、各コイルは一つの電気サイクル期間中に2度フロート状態となり、且つ二つのゼロ交差を有している。しかしながら、一方のゼロ交差は正から負への負の勾配を有しており、且つ他方のゼロ交差は負から正への正の勾配を有している。従って、交差の方向を考慮することなしに、ゼロ交差に基づいてのみロータ位置を決定せんとする場合には不明確性が存在する。（これは、従来のモータドライバシステムの欠点の一つであった。）従って、例えば、コイルAの電圧が、曲線173で示されるように正から負へ遷移する場合には、ゼロ交差180は図5に示されるゼロ交差回路80により検知される。更に、このゼロ交差の方向も図5に示される勾配検知回路95により検知される。ゼロ交差が検知されると、シーケンスがインクリメントされ、コイルをコミュテーション即ち整流動作させ、図7のマスク回路105をリセットし且つ再ロードさせる。次いで、ゼロ交差検知器が次のフローティングコイル（この場合にはコイルC）のゼロ交差を捜し求め、そのゼロ交差は、図8における曲線182から理解される如く、負から正への遷移である。そのゼロ交差が検知され且つコミュテーションが行なわれた後に、曲線183により示されるフローティングコイルBの正から負へのゼロ交差が捜し求められ、更に同様の動作が行なわれる。

【0049】要約すると、コミュテーションシーケンスは以下の如くである。シーケンサ回路が所望のロータフェーズを確立し、且つゼロ交差検知器が適切なゼロ交差を見付け出すことによりその発生を検知する。ゼロ交差が検知されると、最初に、遅延カウンタ112により遅延マスクが発生され、次いでロータコイルがコミュテーション即ち整流動作され、且つ第二マスクがマスクカウンタ111により発生される。正しいフローティングコイルは、シフトレジスタ55の出力信号から発生されるフェーズ情報により決定され、且つそのフェーズ情報は、適切なスイッチ81, 82又は83を閉成させることにより、適切なコイルを逆起電力増幅器85へ接続させる。

【0050】ゼロ交差と次のフェーズへのインクリメント動作との間に遅延を発生させることにより、トルクリップルを最適化させることが可能であり、その際にロータの慣性を利用することが可能である。

【0051】理解される如く、プロセス全体に亘り、二つの要素が存在している。即ち、（1）予測されるゼロ交差が最初に確立され、且つ（2）検知される実際のゼロ交差は前に確立された予測されたゼロ交差に対応している。実際のゼロ交差が検知されない場合には、実際にゼロ交差が検知されるまでコミュテーション即ち整流動

作が発生することはない。従って、シーケンサ13は、モータへの駆動信号が取除かれた場合であっても、常に実際のモータ位置に同期されている。例えば、ドライバ回路10が過剰温度警告信号を有している場合には、過剰温度条件が補正されるまで、モータへの駆動信号を阻止する回路を設けることが可能である。駆動信号が阻止されると、勿論、モータはスローダウンするが、シーケンサはモータ回転に同期された状態を維持し、従って、過剰温度条件が補正された場合には、複雑な再同期技術が必要とすることなしにモータを動作速度へ戻すために直ぐさま駆動を再印加することが可能である。同じことがその他のイベントについてもいえ、その様なイベントは、そうでない場合には、モータのシーケンサとの同期を喪失させることとなり、例えば、モータにより駆動されるディスクに対するバンプ即ち衝突などのイベントがある。

【0052】最後に、図7のマスク回路のライン120上に発生されるマスク信号190を図8の底部曲線に示してある。このマスク曲線は、遅延カウンタ112及びマスクカウンタ111のそれぞれのマスク時間に対応して二つの部分、例えば191及び192を有している。

【0053】上述した如く、実際にモータを制動することなしに、モータのロータに対するドライブ即ち駆動を除去することが所望される種々の条件が存在している。例えば、モータドライバは、関連するマイクロプロセッサ又はその他の外部供給源からイネーブル信号を受取る場合がある。又、例えばドライバチップの過剰温度、ロータとフェーズシーケンサの同期を乱すイベントの発生、又はその他の同様の異常な条件などの異常な動作を表わす種々の内部的に発生された信号が提供される場合がある。この様な条件が発生する場合には、ロータの同期器との同期が喪失され、従って、複雑な再開始及び／又は再同期アルゴリズムを使用せねばならなくなる。

【0054】本発明の好適実施例によれば、容易に同期を回復する回路が設けられ、回路210の一部が図9に示されている。図9に示した如く、回路210は、各々が、例えば、システムクロックによりクロック動作される二つのフリップフロップ212及び213を有するシフトレジスタを有している。フリップフロップ212及び213は、S入力端上の信号が低状態である場合に、クロックパルスの後に、反転Q出力端においてD入力端上のデータの補元を発生するタイプのものである。しかしながら、S入力が高状態である場合には、反転Q出力端上の出力は低状態である。従って、通常、出力イネーブル反転信号及び異常条件を表わす信号は低状態であり、従って、NANDゲート214からの出力は通常高状態である。従って、通常、フリップフロップ212及び213の反転Q出力は低状態である。一方、異常動作条件のうちの何れかが発生するか、又は出力イネーブル信号が取除かれると、フリップフロップ212及び21

3は状態を変化し、高信号をそれらの反転Q出力端へ印加し、フリップフロップ212からのライン215上の出力は、再同期ルーチンが直ぐに実行されることを要求し、且つフリップフロップ212からのライン68上の出力は、モータのコイルがトライステート状態となることを要求する。

【0055】出力イネーブル信号が回復されるか、又は異常条件が取除かれると、フリップフロップ212のD入力端へ印加される低状態は、二つのクロックサイクルで回路210を介してクロック動作され、即ち最初に、再同期信号を除去して通常の回路動作を回復することを開始し、次いでトライステート信号を除去して、モータのコイルに対して通常のドライブ（駆動）を再印加することを許容する。

【0056】回路210の再同期信号及びトライステート信号にตอบสนองする本回路の動作を、図10の状態線図を参照して説明する。再同期ルーチンを実行させる信号が発生すると、第一状態200にエンタし、且つ、ループ201で示した如く、第一状態200は、再同期をエンタさせる条件がもはや存在しない時まで継続する。第一状態200において、全てのモータ出力はターンオフされ、且つモータはコースト動作することが許容される。注意すべきことであるが、この条件は、下側の駆動信号がターンオンされて、コイルの逆起電力がロータの回転を停止させることを可能とする上述した制動機能とは異なるものである。同時に、所定の最小マスクカウント及び遅延カウントがマスクカウンタ111及び遅延カウンタ112内にロードされる（図7参照）。

【0057】再同期アルゴリズムを開始させる条件が取除かれると、本回路は第二状態205へ移行することが許容される。第二状態205においては、出力はトライステート状態のままであり且つモータはコースト動作を継続する。

【0058】再度、図7を参照すると、全てのコイルがオフであり且つフローティング状態にあると、シーケンサ及び逆起電力増幅器におけるスイッチング過渡状態をマスクするため且つコミュテーション即ち整流動作に対するコイルの反作用により遅延時間を発生するマスクカウンタ111は、それが通常動作の下におけるものほど重要なものではない。なぜならば、コイルがトライステート状態にある場合には、事実上、コイルのコミュテーション過渡状態は存在せず、且つ回路自身のスイッチングノイズのみがマスクされることを必要とするに過ぎないからである。スイッチングノイズの時間は、コミュテーションノイズの時間よりも著しく短く（例えば、約20マイクロ秒と比較して500ナノ秒）、従って、このトライステート動作期間中においては、「最小マスク」を確立することが必要であるに過ぎない。しかしながら、注意すべきことであるが、逆起電力増幅器により検知されるフェーズ情報は、いまだに、上述した態様で、

正しいフローティングコイル及び正しい上昇又は下降エッジ遷移を選択するために使用されている。更に、通常動作の場合の上述した態様と同様の態様で、コミュテーションが発生する前の所望の遅延に対応して遅延カウンタ112内に所定の遅延が設定される。

【0059】従って、第二状態205においては、本回路は、特定のゼロ交差を捜し出し、且つそれが発生すると、ゼロ交差信号が発生される。それが発生しない場合には、ゼロ交差信号は発生されることはなく、且つ本回路は、ループ206により示した如く、第二状態205内に止どまる。従って、ロータは、選択されたコイルが所望の位置、即ち、正しい方向からのそのゼロ交差が発生する位置に来るまで、パワーなしで、回転を継続する。選択されたコイルが、実際に、所望の位置に到達し、且つ捜し求めていたゼロ交差が検知されると、コミュテーションシーケンスは次のフェーズヘインクリメントされ、且つ本回路の状態は第三状態208へ変化する。一方、ゼロ交差が検知されない場合には、ロータは、それが最終的に停止するまで、コースト動作を継続して行なう。この場合には、モータは、多数の公知のモータ始動アルゴリズムのうちの一つを使用して、再スタートされることを必要とする。

【0060】第二状態205においてゼロ交差が検知されると、本回路は第三状態208にある。第三状態208においては、期間カウンタ110が直ぐさまリセットされ、且つ第二ゼロ交差を捜し求める。シーケンサ回路からのフェーズ情報が、逆起電力増幅器を制御して、次のフェーズに対応する次に来るコイルのゼロ交差を捜し求める。第二ゼロ交差に対するサーチは、逆起電力増幅器及び活性回路からのスイッチングノイズが過ぎた時、即ち約500ナノ秒の程度の時間の後に開始させることが可能である。なぜならば、これらのコイルはいまだに付勢されておらず、且つゼロ交差検知に干渉することのあるような顕著なノイズを発生することはないからである。従って、例えば、500ナノ秒と数ミリ秒、好適には5乃至10ミリ秒の間のマスク時間が適切なマスク時間である。第二状態205に関して上述したのと同様の態様で、第二ゼロ交差が検知されない場合には、ロータはループ209で示した如く、ロータが最終的に停止状態となるまで回転を継続し、且つモータを再度スタートさせるためには始動アルゴリズムが必要である。

【0061】しかしながら、第二ゼロ交差が検知されると、モータの実際の回転速度を期間カウンタ110内に蓄積されたカウントから決定する基礎が存在している。従って、第二ゼロ交差が検知されると、期間カウンタ110内に蓄積されたカウントがマスクカウンタ111及び遅延カウンタ112内にロードされ、最小マスクカウント及び最小遅延カウントロード信号が解放され、且つ本回路の動作は第四状態210において通常動作の下において継続して行なわれる。

【0062】注意すべきことであるが、再同期期間中に、ロータがある程度の回転速度を喪失する蓋然性がある。しかしながら、モータコイルに対するドライブ即ち駆動は実際のロータ位置によって同期されるので、そのドライブは適切に同期されており、且つロータ速度は適切な動作速度へ正確に復帰され、図1に示したフェーズロックループ回路24にロックされる。

【0063】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の好適実施例に基づく装置を組込んだモータドライブシステムの概略ブロック図。

【図2】 ドライバシステムが関連する場合のあるモータのY接続型ステータコイルへモータ駆動信号を供給するための図1のモータドライブシステムにおいて使用される電力段を示した概略図。

【図3】 三相モータの六つの相に対する電流の流れ方向を示した典型的なY接続型ロータコイル構成を示した概略図。

【図4】 図1のモータドライブシステムにおいて使用されるシーケンサ回路の概略図。

【図5】 図1のモータドライブシステムにおいて使用される逆起電力増幅器及びゼロ交差検知器を示した概略図。

【図5a】 検知された上昇又は下降ゼロ交差に対する時間的な関係を示した図5のゼロ交差検知器の出力端において発生される種々の電圧波形を示した説明図。

【図6】 図5の回路における逆起電力増幅器接続状態を制御するために使用されるゼロ交差論理スイッチング回路を示した概略図。

【図7】 図1のモータドライブシステムにおいて使用するコミュテーション遅延信号及びシーケンサ前進信号及びコミュテーションノイズマスクを発生する回路を示した概略図。

【図8】 本ドライバ回路が関連する場合のあるモータの幾つかの電氣的サイクルに関連して図1の回路における種々の点においての電圧信号を示した波形図。

【図9】 図7のマスク発生回路に関連した再同期アルゴリズムを開始させ且つ維持するための回路を示した概略図。

【図10】 関連する多相DCモータの回転ロータと本装置の駆動信号とを再同期させる図1の装置によって実施される方法を示した状態線図。

【符号の説明】

10 モータコントローラ

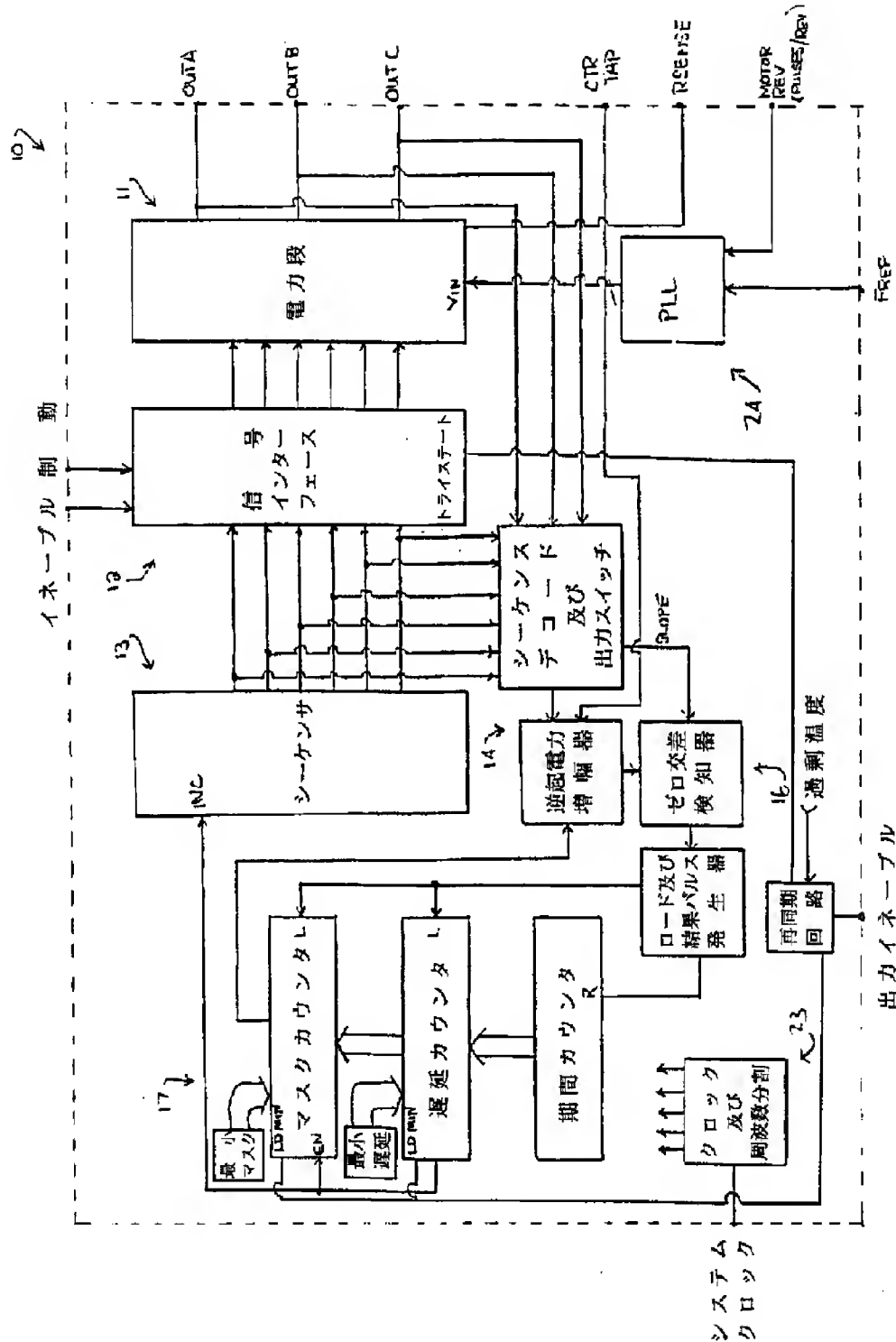
11 電力段

12 信号インターフェース回路

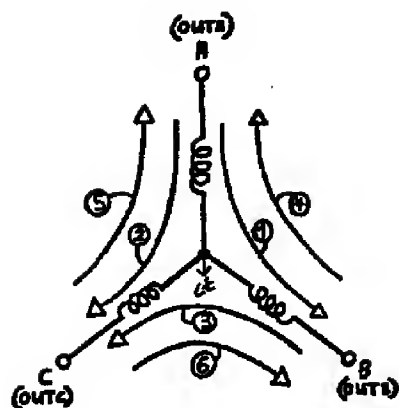
- 13 シーケンサ回路
14 逆起電力センサアンプ
16 ゼロ交差検知回路

- 17 デジタル遅延回路
23 システムクロック回路
24 フェーズロックループ周波数/位相検知器回路

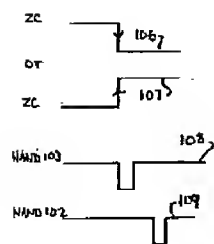
【図1】



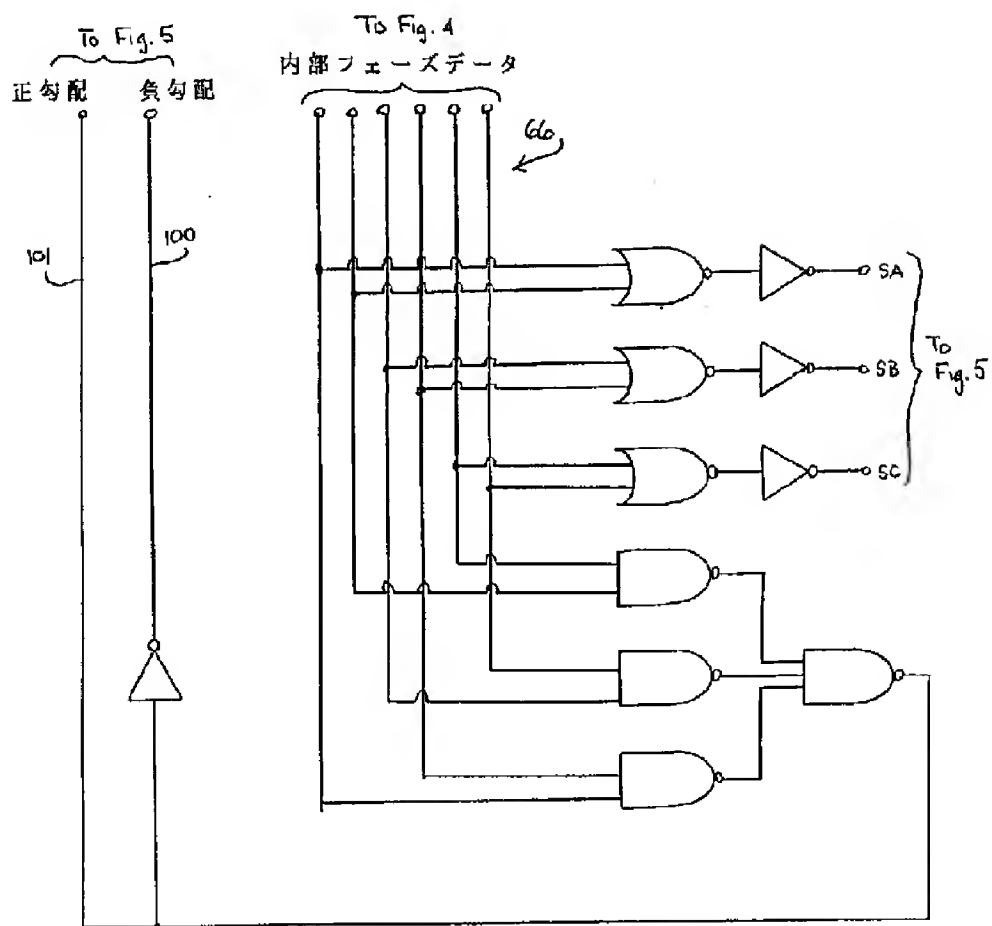
【図3】



【図5a】



【図6】



【図4】

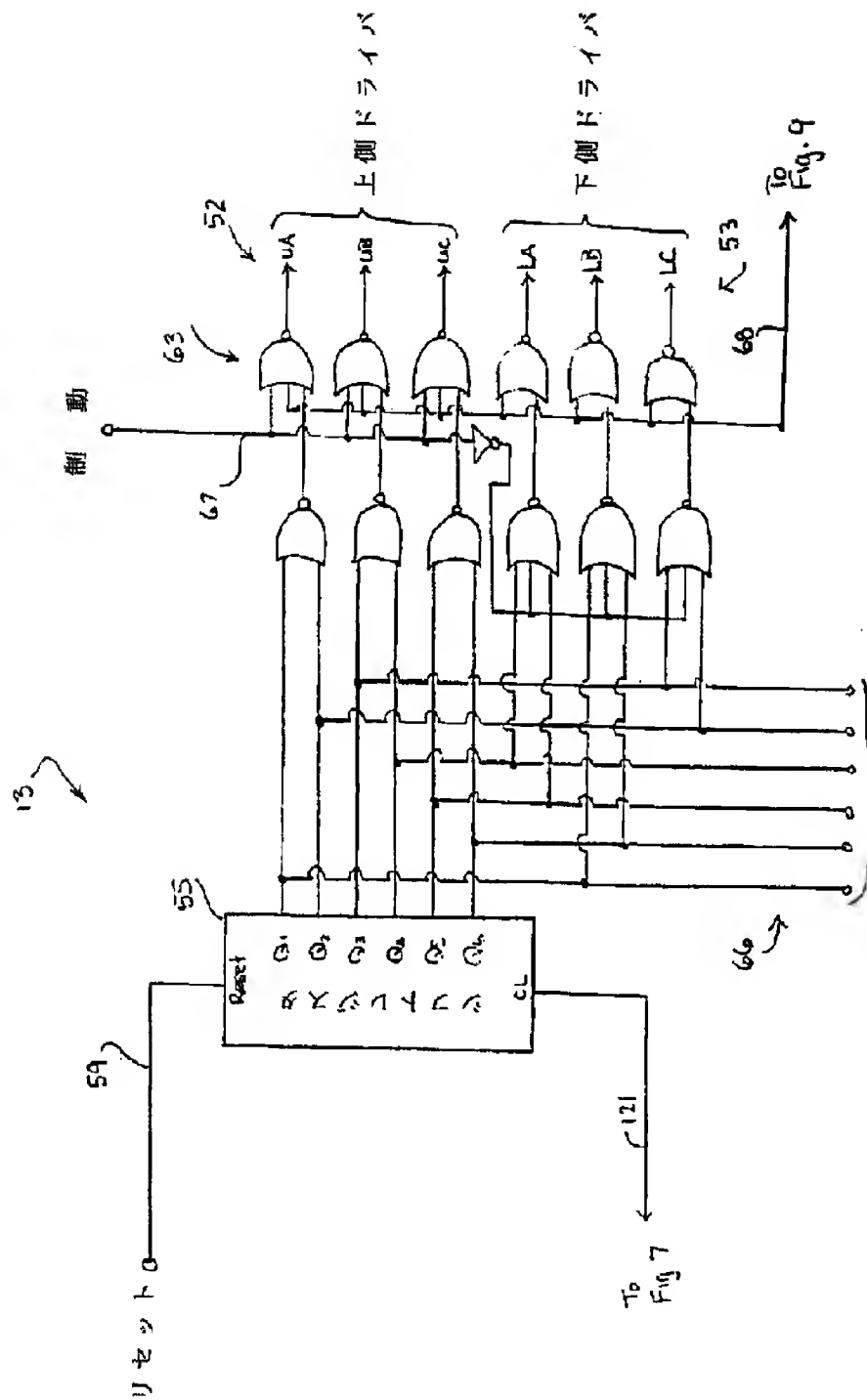
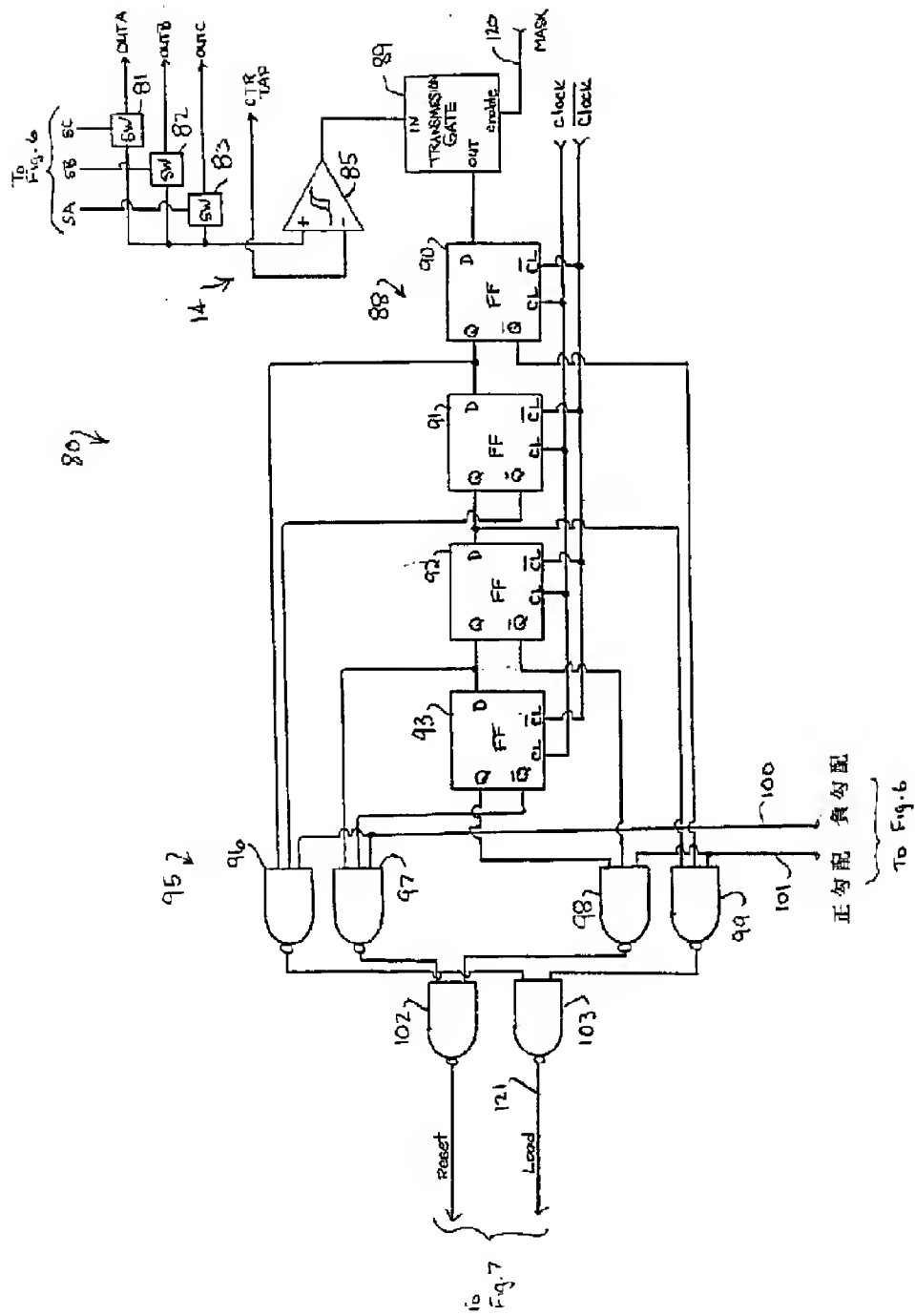
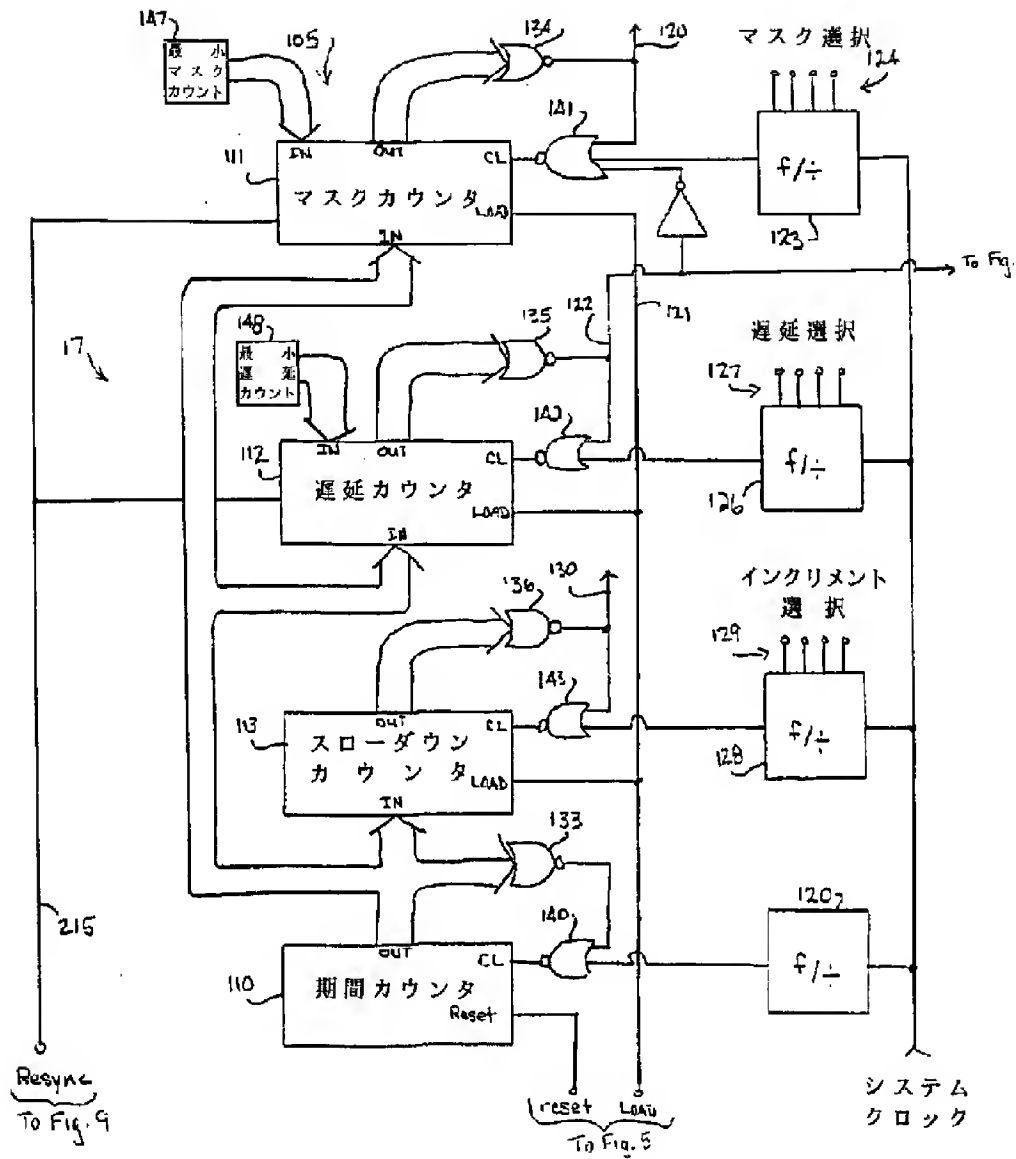


Fig. 6 への内部フエーズデータ

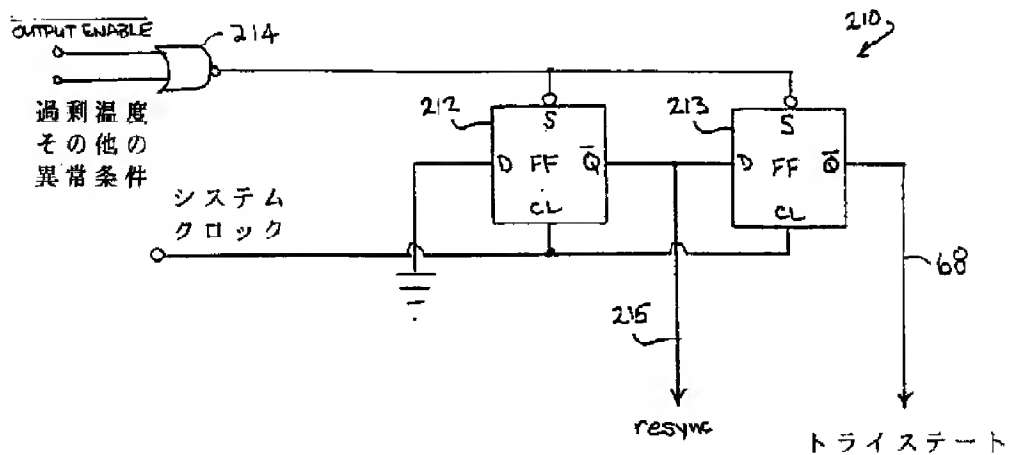
【図5】



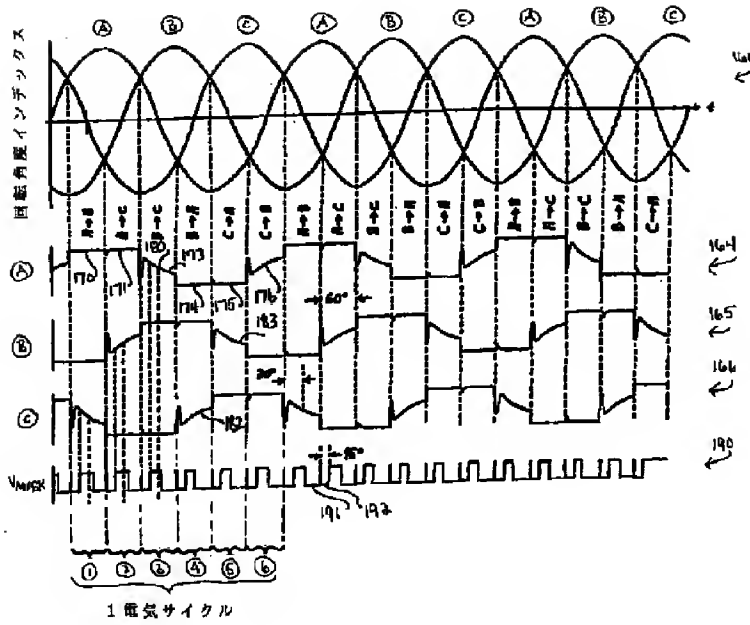
【図7】



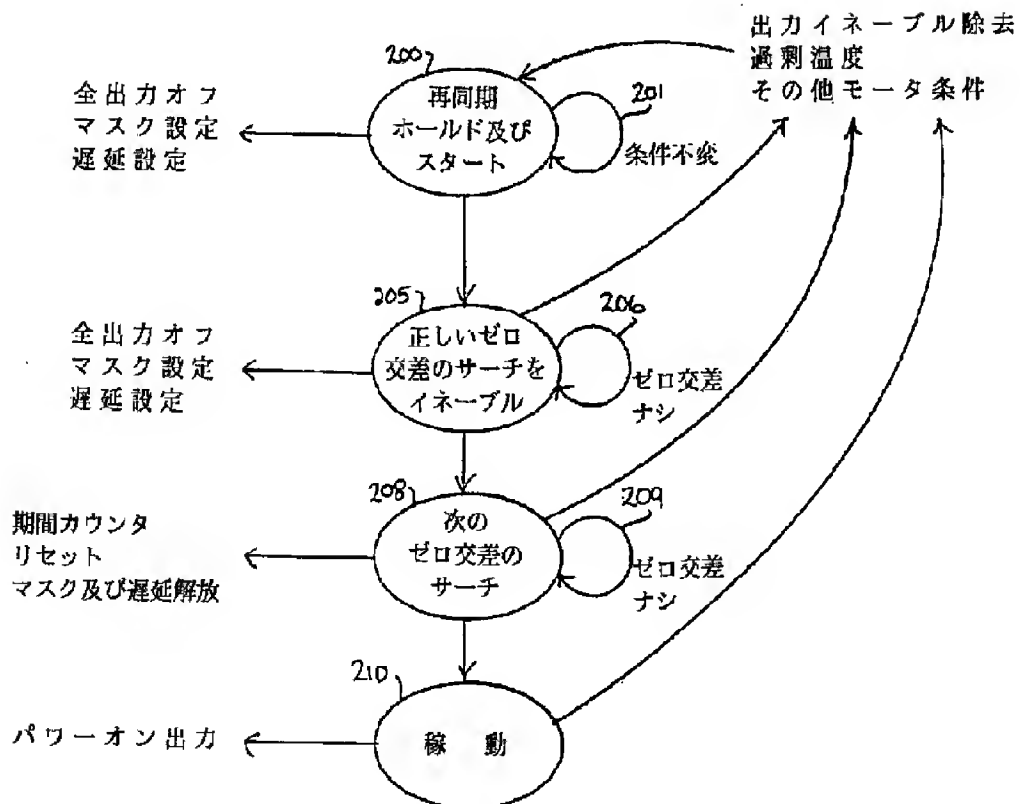
【図9】



【図8】



【図10】



フロントページの続き

(72)発明者 スコット ダブリュ. キャメロン
アメリカ合衆国, アリゾナ 85027,
フェニックス, ウェスト レニー ドラ
イブ 1543

(72)発明者 マーク イー. ローボー
アメリカ合衆国, アリゾナ 85022,
フェニックス, ノース セブンス スト
リート 16220, ナンバー 3417

(72)発明者 フランセスコ カロボランテ
アメリカ合衆国, アリゾナ 85022,
フェニックス, ノース セブンス スト
リート 16220, ナンバー 3379